

例题库

第一章 数制与编码

【例 1-1】 下面每个算数运算在某种进制中是正确的，请确定下面两个运算中的基数分别是多少？

1、 $23+44+14+32=223$

2、 $302/20=12.1$

【解题指导】

按位计数制应满足如下公式： $D = \sum_{i=-n}^{p-1} d_i \times r^i$ ，其中 r 为基数， d_i 为第 i 位的

数值， D 为数值大小。

所以在解题中，可以设基数为 R ，然后按照按位计数制的运算法则将等式展开成 R 的一元方程的形式，从而解得 R 的值。

【解答】

1、 设基数为 B ，按照按位计数制的运算法则该等式可以化成：

$$2B+3+4B+4+B+4+3B+2=2B^2+2B+3$$

可以解得基数为 $B=4$ ；

2、 设基数为 B ，按照按位计数值的运算法则该等式可以化成

$$(3B^2+2)/2B=B+2+1/B$$

可以解得基数为 $B=5$ 。

【例 1-2】 请将 22.75_{10} 分别转化成十六进制、八进制和二进制数。

【解题指导】

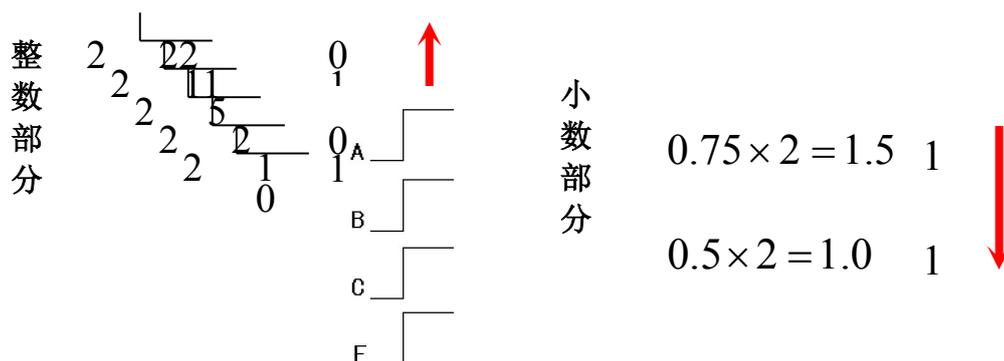
将十进制数转换成其他进制的数，要分成整数部分和小数部分两个方面进行讨论。

整数部分的转换方法是：若将十进制数转换成 N 进制，则需要将该十进制数的整数部分除以 N ，取其余数，作为转换后 N 进制数整数部分的最低位；然后将上次除法的商再除以 N ，再取其余数作为 N 进制整数部分的次低位；依此类推，一直到除法的商为 0 为止，整数部分讨论完毕；

小数部分的转换方法是：将该十进制的小数部分乘以 N ，取其积的整数部分，作为转换后 N 进制数小数部分的最高位；然后将乘法后的积的小数部分再乘以 N ，再取其整数部分作为 N 进制小数部分的次高位；依此类推，一直到乘法的积的小数部分为 0 ，或者达到要讨论的精度为止，小数部分讨论完毕；

该题中先进行二进制部分的讨论：

图中箭头所示方向即是数据读取的方向。



所以 $22.75_{10}=10110.11_2$ ，八进制和十六进制可以做相同的讨论，区别在于将上面讨论中的除数和乘数分别换成 8 和 16 即可。

另外十六进制中 0~15 的数值分别对应如下：0、1、2、3、4、5、6、7、8、9、A、B、C、D、E、F。

【解答】

$$22.75_{10}=10110.11_2=26.6_8=16.C_{16}$$

【例 1-3】 请将十进制数 47.39_{10} 转换成二进制数，要求转换后精度保留到小数点后 3 位。

【解题指导】

整数部分的讨论方法等同于题 **【例 1-2】**，下面主要进行小数部分的讨论：

$$0.39 \times 2 = 0.78 \quad 0$$

$$0.78 \times 2 = 1.56 \quad 1$$

$$0.56 \times 2 = 1.12 \quad 1$$

...

由讨论可知，小数部分的乘积操作最终无法达到 0，所以需要保留至所需的精度，即转换成二进制后保留到小数点后 3 位。

【解答】

$$47.39_{10}=101111.011$$

【例 1-4】 请将十进制数 56.48_{10} 转换成二进制数，要求转换后精度为 $\varepsilon < 10^{-2}$ 。

【解题指导】

整数部分的讨论方法等同于题 **【例 1-2】**，下面主要进行小数部分的讨论：

小数部分的乘积操作最终无法达到 0，所以需要保留至所需的精度。精度要求转换成二进制后为 $\varepsilon < 10^{-2}$ ，而 10^{-2} 到是保留到十进制数的小数点后 2 位，转换成二进制后应为 $\varepsilon < 2^{-7}$ ，所以应保留到转换成二进制后的小数点后 7 位。

【解答】

$$56.48_{10}=111000.0111101_2$$

【例 1-5】 请将如下的数转换成十进制数：

1、 10110.11_2

2、 26.67_8

3、 $F4.25_{16}$

【解题指导】

可以利用公式 $D_{10} = \sum_{i=-n}^{p-1} b_i \times N^i$ ，将其他进制的数转换成十进制数。其中 N 为

待转换进制的基数； N^i 为第 i 位的权重； i 的取值为 $[-n, p-1]$ ； b_i 为第 i 位的值。

故，以上三个数值的转换可以按如下的方法进行：

$$10110.11_2 = 1 \times 2^4 + 0 \times 2^3 + 1 \times 2^2 + 1 \times 2^1 + 0 \times 2^0 \\ + 1 \times 2^{-1} + 1 \times 2^{-2} = 22.75_{10}$$

$$26.67_8 = 2 \times 8^1 + 6 \times 8^0 + 6 \times 8^{-1} + 7 \times 8^{-2} = 22.8594_{10}$$

$$F4.25_{16} = 15 \times 16^1 + 4 \times 16^0 + 2 \times 16^{-1} + 5 \times 16^{-2} \\ = 244.1445_{10}$$

【解答】

1、 $10110.11_2=22.75_{10}$

2、 $26.67_8=22.8594_{10}$

3、 $F4.25_{16}=244.1445_{10}$

【例 1-6】 请将二进制数 101101.1101_2 转换成八进制和十六进制数？

【解题指导】

将二进制数转换成八进制和十六进制的方法如下：

整数部分的讨论，以二进制数的小数点为分界点，依次向左每三位（四位）二进制数等效为一位八进制（十六进制）数，位数不足在高位加 0；

小数部分的讨论，以二进制数的小数点为分界点，依次向右每三位（四位）二进制数等效于一位八进制（十六进制）数，位数不足在低位加 0；

【解答】

$$101101.1101_2=55.64_8=2D.D_{16}$$

【例 1-7】 请将 33.16_8 转换成十六进制数？

【解题指导】

将一个八进制数转换成一个十六进制数，需要经过两个步骤，第一，先将八进制数转化成二进制数；第二，再将转换后的二进制数转化成十六进制数。

对于第一步的讨论如下：将一个八进制（十六进制）转换成二进制的方法是，每一位八进制（十六进制）数，等效于三位（四位）二进制数。

第二步的讨论等同于题【例 1-6】中的分析。

所以该题的解答过程如下： $33.16_8=011011.001110_2=1B.38_{16}$

【解答】

$$33.16_8=1B.38_{16}$$

【例 1-8】 请分别写出如下带符号数的二进制 8-bit 原码、反码和补码：

1、 -99_{10}

2、 $+53_{10}$

3、 -128_{10}

4、 0_{10}

【解题指导】

对于正数而言，原、补、反三种编码形式相同，都是符号位（MSB）“0”加上数值位。其中数值位大小等于该数的绝对值大小。

对于负数而言，原、补、反三种编码构建方法不同。对于原码是符号位“1”加上数值位，数值位的大小等于该数的绝对值大小；反码为符号位“1”加上数值位，数值位为原码数值位的逐位取反；补码为符号位“1”加上数值为，数值

位为反码数值位的末位+1。

第一小题为 -99_{10} ，其原码为 11100011，其中 MSB（最高有效位）为符号位，表示负号，后面的为数值位，其值大小为 99；反码为 10011100，MSB 仍为符号位，数值位则是原码数值位的逐位取反；补码则是在反码的基础上末位+1 而得到，即为 10011101；

第二小题 $+53_{10}$ 原补反三种编码相同，都是符号位“0”，加上数值位（其值为 53），故三种编码都为 00110101。数值位和符号位要凑足题目要求的 8 位；

第三小题， -128_{10} 的原码和反码都超出了 8bit 的计数范围 $[-127,+127]$ ，故无法表示。但是在补码的计数范围 $[-128,+127]$ 之内。其构建方法可以根据补码

的性质去决定。补码的符号位可以看成是 -2^{n-1} 的权重，其中 n 为补码的位数，该题中为 8 位。所以 -128_{10} 的数值为 0，即其补码为 10000000；

第四小题， 0_{10} 的原码和反码都有+0 和-0 之分，补码则统一为 00000000

【解答】

- 1、 $-99_{10}=11100011$ 原码 $=10011100$ 反码 $=10011101$ 补码
- 2、 $+53_{10}=00110101$ 原码 $=00110101$ 反码 $=00110101$ 补码
- 3、 $-128_{10}=10000000$ 补码（原码和反码超出了计数范围）
- 4、 $0_{10}=00000000$ 原码（或 10000000 原码） $=00000000$ 反码（或 11111111 反码） $=00000000$ 补码

【例 1-9】一个二进制数的补码是 10110 补码，请问其 8-bit 二进制补码是多少？

【解题指导】

10110 补码为 5-bit 的二进制补码，若要将其扩展到 8 位，则需先将其变成 5-bit 的原码，为 11010 原码——注意，一个负数从补码到原码的转变过程与从原码到补码的过程一样，都是符号位不变，数值位取反加一——由于原码的数值位大小为该数的绝对值，故可以在高位加 0，不会改变其值。所以可以在原码的高位补 0 使其达到 8-bit，为 10001010 原码，再将其变成补码，方法参考【例 1-8】，为 11110110 补码

【解答】

$$10110_{\text{补码}}=11110110_{\text{补码}}$$

【例 1-10】数 A 的补码为 11111001，数 B 的补码为 11010101，数 C 的补码为 01111101，请完成如下的计算？并讨论是否溢出？

- 1、 $-A-B$
- 2、 $-A+B$
- 3、 $A-C$

【解题指导】

带符号的二进制运算，为二进制补码运算，即满足如下的关系： $[被加数]_{\text{补码}}+[加数]_{\text{补码}}=[和]_{\text{补码}}$ ，被加数、加数以及和都为补码。

第一小题，可以写成如下形式 $[-A-B]_{\text{补码}}=[-A]_{\text{补码}}+[-B]_{\text{补码}}$ ，已知 A 的补码，求 -A 的补码可以分成两步：第一，A 的符号位取反；第二，A 的数值位取反加 1。所以该题中 $[-A]_{\text{补码}}=00000111$ ；同理， $[-B]_{\text{补码}}=10101011$ 。所以 $[-A-B]_{\text{补码}}=00000111+00101011$ ，二进制加法的规则为逢二进一，故最终的结果为 $[-A-B]_{\text{补码}}=00110010$ 。

溢出判定有两个原则：第一，如果两个符号相异的两个数相加，则不会溢出；第二，如果两个同符号的数相加，其最高有效位的进位输出和进位输入不等，则溢出；第一小题中 $[-A-B]_{\text{补码}}=00000111+00101011$ ，为两个同符号的数相加，但是，最高有效位的进位输入和进位输出都为 0，故无溢出发生；

第二小题中 $[-A+B]_{\text{补码}}=[-A]_{\text{补码}}+[B]_{\text{补码}}=00000111+11010101=11011100$ ，其溢出判定属于第一种情况，故无溢出发生；

第三小题中 $[A-C]_{\text{补码}}=[A]_{\text{补码}}+[-C]_{\text{补码}}=11111001+10000011=01111100$ ；其最高有效位的进位输入为 0，进位输出为 1，故有溢出。另外，该小题中两个负数相加，和为正数，结果显然不正确，亦可推断出存在溢出。

【解答】

- 1、 $[-A-B]_{\text{补码}}=00110010$ 无溢出
- 2、 $[-A+B]_{\text{补码}}=11011100$ 无溢出
- 3、 $[A-C]_{\text{补码}}=01111100$ 有溢出

【例 1-11】请分别写出下面各数的 8421BCD 码、2421BCD 码、余 3 码以及格雷码？

- 1、 79_{10}
- 2、 1101101_2
- 3、 FE_{16}

【解题指导】

8421BCD 码、2421BCD 码、余 3 码都是 BCD 码，即十进制编码。每个编码表示一位（0~9）的十进制。故如果要转换成上面的形式，必须先将数字转换成十进制。其中 8421 和 2421 为该种编码形式的各位上的权重，其具体编码形式参见教材。余 3 码是在 8421BCD 码的基础之上加上 0011 而得。

格雷码的变化规则为如下：

$(b_i \ b_i \oplus b_{i-1} \ b_{i-1} \oplus b_{i-2} \dots\dots b_{m+1} \oplus b_m \ \dots\dots b_4 \oplus b_3 \ b_3 \oplus b_2 \ b_2 \oplus b_1)_{\text{gray}}$ ，其中 b_m 为第 m 位的二进制数。

下面分别对几个小题进行讨论：

- 1、 $79_{10}=0111 \ 1001_{8421}=1101 \ 1111_{2421}=1010 \ 1100_{\text{余 3 码}}=1001111_2=1101000_{\text{格雷码}}$
- 2、 $1101101_2=104_{10}=0001 \ 0000 \ 0100_{8421}=0001 \ 0000 \ 0100_{2421}=0100 \ 0011 \ 0111_{\text{余 3 码}}=1011011_{\text{格雷码}}$
- 3、 $FF_{16}=255_{10}=0010 \ 0101 \ 0101_{8421}=0010 \ 1011 \ 1011_{2421}=0101 \ 1000 \ 1000_{\text{余 3 码}}=11111111_2=10000000_{\text{格雷码}}$

【解答】

- 1、 $79_{10}=0111 \ 1001_{8421}=1101 \ 1111_{2421}=1010 \ 1100_{\text{余 3 码}}=1=1101000_{\text{格雷码}}$
- 2、 $1101101_2=0001 \ 0000 \ 0100_{8421}=0001 \ 0000 \ 0100_{2421}=0100 \ 0011 \ 0111_{\text{余 3 码}}=1011011_{\text{格雷码}}$
- 3、 $FF_{16}=0010 \ 0101 \ 0101_{8421}=0010 \ 1011 \ 1011_{2421}=0101 \ 1000 \ 1000_{\text{余 3 码}}=10000000_{\text{格雷码}}$

第二章 逻辑代数基础

【例 2-1】 求下列逻辑函数的对偶式。

$$(1) F = ((A+D)'(B'C)')' + AB \quad (2) Y = \sum m(0,1,2,3,5,6,9,12,13,15)$$

【解题指导】 (1) 式为复合逻辑函数，可采用对偶规则求出其对偶式。对偶规则如下：

① 将逻辑函数表达式中的“·”换成“+”，“+”换成“·”，0 换成 1，1 换成 0，原变量、反变量不进行变换。

② 保持原先逻辑函数运算的优先级，即“先括号，然后与，最后或”。

③ 跨在多个变量上的大非号应保留不变。

(2) 式为最小项表达式，若 Y 中最小项的标号为 i，则对偶式 Y_d 中必有标号为 $(2^n-1)-i$ 的最大项 (n 为逻辑变量数) 与此对应。

【解答】 (1) 为了正确的使用对偶规则，适当地加括号保持原先运算的优先级。

$$F_d = ((AD)' + (B'+C)')(A+B)$$

$$(2) Y_d = \prod M(0,2,3,6,9,10,12,13,14,15) = \sum m(1,4,5,7,8,11)$$

【例 2-2】 求下列逻辑函数的反函数。

$$(1) F = ((A+C)'((BC)'+D)')(B+C) + AD$$

$$(2) Y = \sum m(0,2,4,6,8,10,12,14)$$

【解题指导】 (1) 式为复合逻辑函数，可采用反演规则求出其反函数。反演规则如下：

① 将逻辑函数表达式中的“·”换成“+”，“+”换成“·”，0 换成 1，1 换成 0，原变量换成反变量，反变量换成原变量。

② 保持原先逻辑函数运算的优先级，即“先括号，然后与，最后或”。

③ 跨在多个变量上的大非号应保留不变。

(2) 式为最小项表达式，若 Y 中最小项的标号为 i，则反函数 Y' 中必有标号为 i 的最大项与此对应。

【解答】 (1) 为了正确的使用反演规则，适当地加括号保持原先运算的优先级。另外一点需要注意的是，单个变量上的非号要去掉 (即反变量变原变量)，表达式上的非号保持不变，例如 $(A+C)'$ 、 $(BC)'$ 和 $((A+C)'((BC)'+D))'$ 上的非号不能动。

$$F' = (((A'C)' + (B'+C)'D)' + B'C)(A'+D')$$

$$(2) Y' = \prod M(0,2,4,6,8,10,12,14) = \sum m(1,3,5,7,9,11,13,15)$$

【例 2-3】 用公式化简逻辑函数 $F = (A'B' + A'B + AB')(A'C + B'C + AB)$

【解题指导】 公式化简逻辑函数，实质上就是利用逻辑代数的基本公式和规则，消去逻辑函数式中多余的项和每一项中的多余因子，以求得逻辑函数式的最简形式。常用的方法主要有以下几种：

① 并项法：利用 $XY+XY'=X$ ，将两项合并为一项，并消去 Y 和 Y' 这一对因子。

② 吸收法：利用 $X+XY=X$ ，可将 XY 项消去。

③ 消项法：利用 $XY+X'Z+YZ=XY+X'Z$ 及

$XY+X'Z+YZW=XY+X'Z$ ，将 YZ 或 YZW 项消去。

④ 消因子法：利用 $X+X'Y=X+Y$ ，可将 $X'Y$ 中的 x' 消去。

⑤ 配项法：利用 $X+X=X$ ， $X \cdot X=X$ ， $X+X'=1$ ， $1+X=1$ ，在逻辑函数式中添加适当的项，可用来消去多余的项。

在化简复杂的逻辑函数时，往往需要灵活、交替地运用上述方法，才能得到较好的结果。

【解答】 $F=(A'B'+A'B+AB')(A'C+B'C+AB)$

$$=A'B'C+A'BC+AB'C \quad \text{[分配律]}$$

$$=(A'B'C+A'BC)+(AB'C+A'B'C) \quad \text{[配项 } A'B'C, \text{ 结合律]}$$

$$=A'C+B'C \quad \text{[} XY+XY'=X, \text{ 并项法]}$$

【例 2-4】 将逻辑函数

$Y(A,B,C,D)=(A+B+D)(A+B'+D)(A+B+D')(A'+C+D)(A'+C+D')$ 化简

为：(1) 最简或与式；(2) 最简或非-或非式；

【解题指导】 巧用对偶定理可方便地将或与式化简成最简或与式或最简或非-或非式。

【解答】 (1) 求逻辑函数 Y 的对偶式 Y_d ，即

$$Y_d=ABD+AB'D+ABD'+A'CD+A'CD'$$

(2) 用公式法化简 Y_d ，得

$$Y_d=(ABD+AB'D)+(ABD+ABD')+(A'CD+A'CD') \quad \text{[配项 } ABD, \text{ 结合律]}$$

$$=AD+AB+A'C \quad \text{[} XY+XY'=X, \text{ 并项法]}$$

(3) 求 Y_d 的对偶式 $(Y_d)_d$ ，即逻辑函数 Y ，

$$Y=(Y_d)_d=(A+D)(A+B)(A'+C) \quad \text{[最简或与式]}$$

再两次求反，得

$$Y=[((A+D)(A+B)(A'+C))']$$

$$=[(A+D)'+(A+B)'+(A'+C)'] \quad \text{[最简或非-或非式]}$$

【例 2-5】试将下列逻辑函数化为最简与或式

$$(1) F_1 = A'B' + AC + C'D + B'C'D' + BC'E + B'CG' + B'CF$$

$$(2) F_2 = ((AB)'(C+D)(D'+E))'BD$$

【解题指导】如果要化简的逻辑函数变量较多，也比较复杂，这时可以利用香农展开定理及其推论对逻辑函数进行化简。

香农展开定理：

$$\textcircled{1} F(x_1, x_2, \dots, x_n) = x_1 \cdot F(1, x_2, \dots, x_n) + x_1' \cdot F(0, x_2, \dots, x_n)$$

$$\textcircled{2} F(x_1, x_2, \dots, x_n) = [x_1 + F(0, x_2, \dots, x_n)] \cdot [x_1' + F(1, x_2, \dots, x_n)]$$

推论：

$$(i) x_1 \cdot F(x_1, x_2, \dots, x_n) = x_1 \cdot F(1, x_2, \dots, x_n)$$

$$(ii) x_1 + F(x_1, x_2, \dots, x_n) = x_1 + F(0, x_2, \dots, x_n)$$

$$(iii) x_1' \cdot F(x_1, x_2, \dots, x_n) = x_1' \cdot F(0, x_2, \dots, x_n)$$

$$(iv) x_1' + F(x_1, x_2, \dots, x_n) = x_1' + F(1, x_2, \dots, x_n)$$

【解答】利用香农展开定理（1）化简函数 F_1 ：

$$\begin{aligned} F_1 &= C(A'B' + A + 0 + 0 + 0 + B'G' + B'F) + C'(A'B' + 0 + D + B'D' + BE + 0 + 0) \\ &= C(B' + A) + C'(B' + D + E) \end{aligned}$$

$$= AC + B'C + B'C' + C'D + C'E = AC + B' + C'D + C'E$$

利用香农展开定理推论（1）化简函数 F_2 ：

$$F_2 = BD(B((A \cdot 1)' \cdot (C+D) \cdot (D'+E))')$$

$$= BD(A + C'D' + DE')$$

$$= ABD + BDE'$$

【例 2-6】试用公式法证明下列关系成立：

$$(1) X_1X_2 \oplus X_1'X_3 = X_1X_2 + X_1'X_3$$

$$(2) \text{若 } X_1 + X_2 = 1, \text{ 则有 } X_1 \oplus X_2 = (X_1X_2)'$$

$$(3) \text{若 } X_1X_2 = 0, \text{ 则有 } X_1 \oplus X_2 = X_1 + X_2$$

$$(4) (X_1 \oplus X_2) \odot X_1X_2 = X_1'X_2'$$

【解题指导】逻辑等式证明常用以下方法：

① 真值表法：列出等式两边逻辑表达式的真值表，若两个真值表相同，则等式成立。

- ② 对偶定理法：等式两边的对偶式仍相等。
 ③ 代入定理法：等式两边的同一变量若用同一函数代替，等式仍成立。
 ④ 公式法：利用逻辑代数中的定理和规则，将等式两边化成相同的形式，则等式成立。

【解答】利用公式 $X+Y=X\oplus Y\oplus XY$ 及异或运算的线性关系，则有

$$X\oplus Y=(X+Y)\oplus XY$$

证明：(1) $X_1X_2\oplus X_1'X_3=(X_1X_2+X_1'X_3)\oplus(X_1X_2)(X_1'X_3)=X_1X_2+X_1'X_3$

$$(2) X_1\oplus X_2=(X_1+X_2)\oplus(X_1X_2)=1\oplus(X_1X_2)=(X_1X_2)'$$

[因 $X_1+X_2=1$]

$$(3) X_1\oplus X_2=(X_1+X_2)\oplus(X_1X_2)=(X_1+X_2) \quad [\text{因 } X_1X_2=0]$$

$$(4) (X_1\oplus X_2)\odot X_1X_2 = ((X_1\oplus X_2)\odot(X_1X_2))' = (X_1\oplus X_2)\oplus(X_1X_2)'$$

$$= ((X_1+X_2)\oplus X_1X_2)\oplus(X_1X_2)' = (X_1+X_2)\oplus 1$$

$$= (X_1+X_2)' = X_1'X_2'$$

【例 2-7】用卡诺图将下列逻辑函数化简为最简的与或式和或式。

$$(1) F(A,B,C,D)=\sum m(1,2,3,4,5,6,7,8,9,10,11,12,13,14)$$

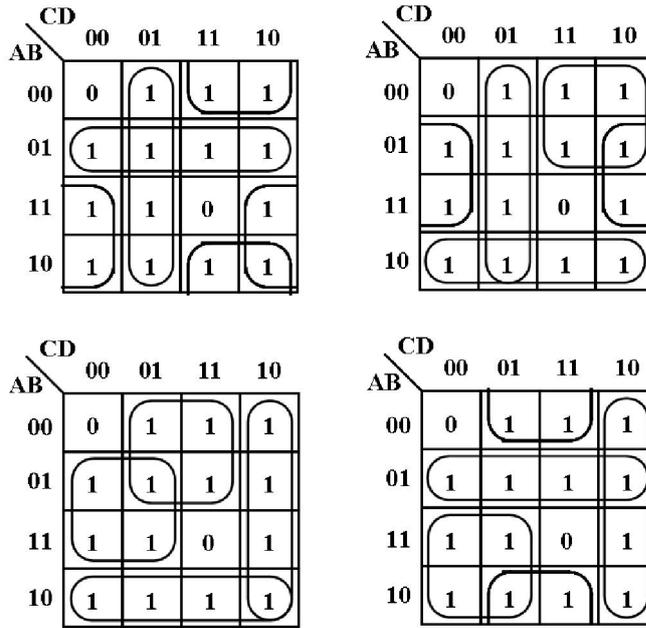
$$(2) F(A,B,C,D)=\sum m(0,4,7,11,15)+\sum d(1,5,8,9,10,12,13,14)$$

$$(3) F(A,B,C,D)=\prod M(2,6,7,10,12)\cdot\prod d(3,4,11)$$

【解题指导】卡诺图化简可用圈 1 法，也可用圈 0 法。若要求化为与或式或者与非-与非式时用圈 1 法方便；若要求化为或式、与或非式或者或非-或非式时用圈 0 法更方便。其圈法规则如下：

- ① 圈越大越好，圈数越少越好。因为圈数越少，意味着乘积项越少，实现它所需的与门数越少；圈越大，意味着每个乘积项中的变量数越少，则实现它所需的与门的输入端数越少。
- ② 圈中所包含的“1”格或“0”格数应为 2^i ($i=0,1,2,3,\dots$)。
- ③ 每个圈中至少有一个“1”格或“0”格为本圈所独有（不被其它圈所覆盖）。
- ④ 所有“1”格或“0”格至少被圈过一次。
- ⑤ 对于无关项，根据简化的需要，既可当 0 也可当 1 来处理。
- ⑥ 由每一个圈可得到一个与项或者或项，其选留原则是“留同去变”，即保留取值不变的变量，消去取值有 0,1 变化的变量，再把所有的与项相加或者所有的或项相乘即得到最简的与或式或者最简的或式。
- ⑦ 由于圈法可能不唯一，其得到的等效最简式也可能不唯一。

【解答】(1)



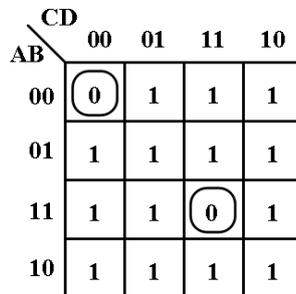
在卡诺图中用“1”圈组，由于圈法不唯一，可得到四种等效的最简与或式。

$$F(A,B,C,D)=A'B+B'C+C'D+AD'$$

$$F(A,B,C,D)=AB'+BD'+C'D+A'C$$

$$F(A,B,C,D)=A'B+BC'+CD'+A'D$$

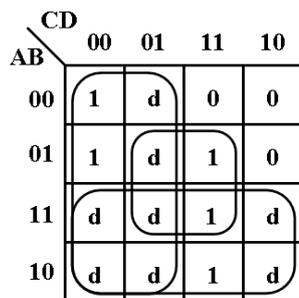
$$F(A,B,C,D)=A'B+B'D+CD'+AC'$$



在卡诺图中用“0”圈组，由于圈法唯一，可得到唯一一种最简或与式。

$$F(A,B,C,D)=(A+B+C+D)(A'+B'+C'+D)$$

(2)



在卡诺图中用“1”圈组，由于圈法唯一，可得到唯一一种最简与或式。

$$F(A,B,C,D)=A+C'+BD$$

		CD			
		00	01	11	10
AB	00	1	d	0	0
	01	1	d	1	0
	11	d	d	1	d
	10	d	d	1	d

		CD			
		00	01	11	10
AB	00	1	d	0	0
	01	1	d	1	0
	11	d	d	1	d
	10	d	d	1	d

在卡诺图中用“0”圈组，由于圈法不唯一，可得到两种等效的最简或与式。

$$F(A,B,C,D)=(C+D')(A+B+D')$$

$$F(A,B,C,D)=(C+D')(A+B+C')$$

(3)

		CD			
		00	01	11	10
AB	00	1	1	d	0
	01	d	1	0	0
	11	0	1	1	1
	10	1	1	d	0

		CD			
		00	01	11	10
AB	00	1	1	d	0
	01	d	1	0	0
	11	0	1	1	1
	10	1	1	d	0

在卡诺图中用“1”圈组，由于圈法唯一，可得到唯一一种最简与或式。

$$F(A,B,C,D)=B'C'+C'D+ABC$$

在卡诺图中用“0”圈组，由于圈法唯一，可得到唯一一种最简或与式。

$$F(A,B,C,D)=(A+C')(B+C')(B'+C+D)$$

【例 2-8】化简下列五变量逻辑函数

$$(1) F(A,B,C,D,E)=A'B'C'D'+A'B'C'D+A'B'CD+A'BC'D'$$

$$+A'BC'D+A'BCD+AB'C'D'+AB'C'D$$

$$+AB'CD'+AB'CD+ABC'D'+ABC'D+ABC'DE$$

$$(2) F=AB+AC'+B'C+BC'+B'D+BD'+ADE(H+G)$$

$$(3) F(V,W,X,Y,Z)=\sum m(3,4,5,7,10,11,13,15,17,19,20,22,23,24,25,28,29)$$

【解题指导】化简五变量以上的逻辑函数常见的方法有：

①公式和卡诺图联合化简法：利用公式先对逻辑函数化简，消去一些变量，使其变为五变量以下的逻辑函数，进而再用卡诺图化简，此方法有其特殊性。

②卡诺图降维法：利用香农展开定理 $F(x_1,x_2, \dots, x_n)=x_1F(1,x_2, \dots,$

$x_n)+x_1'F(0,x_2, \dots, x_n)$ ，将高维卡诺图变成两个低维卡诺图，再利用两个低维卡诺图上的重叠位置的单元的逻辑相邻性进行化简。

③ 对称卡诺图法：利用五变量以上卡诺图的上下、左右对称位置的单元的逻辑相邻性进行化简。

【解答】(1) F 中有五个逻辑变量 A,B,C,D,E，因

$ABC'D+ABC'DE=ABC'D$ ，从而消去最后一项及变量 E，使原来五变量的逻辑函数变为四变量的逻辑函数 $F(A,B,C,D)$

$$=A'B'C'D+A'B'CD+A'BC'D+A'BCD+AB'C'D'+$$

$$AB'C'D+AB'CD'+AB'CD+ABC'D'+ABC'D=\sum m(0,1,3,4,5,7,8,9,10,11,12,13)$$
，进而可用卡诺图化简。

	CD			
	00	01	11	10
AB				
00	1	1	1	0
01	1	1	1	0
11	1	1	0	0
10	1	1	1	1

在卡诺图中用“1”圈组，由于圈法唯一，可得到唯一一种最简与或式。

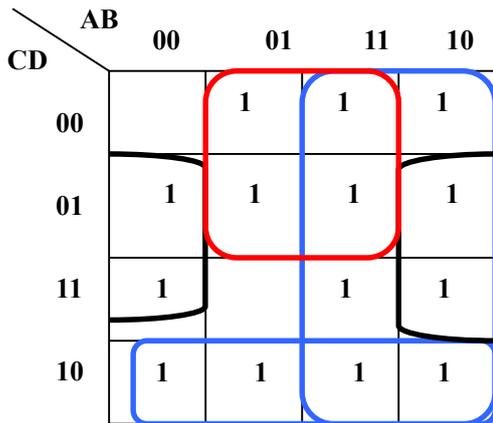
$$F(A,B,C,D,E)=C'+A'D+AB'$$

(2) 先运用消项法： $AB+B'D+ADE(H+G)=AB+B'D$ ，消去 $ADE(H+G)$ ，从而变成四变量逻辑函数，

$F=AB+AC'+B'C+BC'+B'D+BD'$ ，再利用卡诺图化简。有两种圈法。

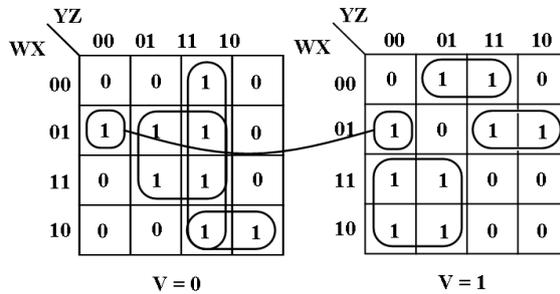
	AB			
	00	01	11	10
CD				
00		1	1	1
01	1	1	1	1
11	1		1	1
10	1	1	1	1

$$F=A+C'D+BD'+B'C$$
，或者



$$F=A+BC'+CD'+B'D$$

(3) 卡诺图降维法

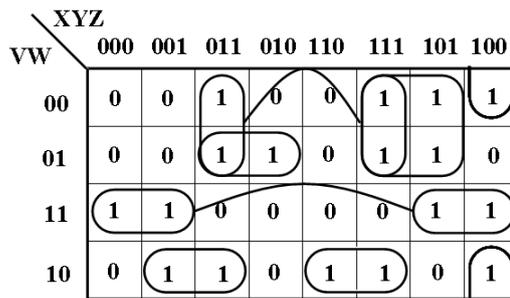


在卡诺图中用“1”圈组，由于圈法不唯一，可得到其中一种最简与或式。

$$F(V,W,X,Y)$$

$$=V'XZ+V'YZ+VWY'+V'WX'Y+W'XY'Z+VW'X'Z+VW'XY$$

对称卡诺图法



在卡诺图中用“1”圈组，由于圈法唯一，可得到唯一一种最简与或式。

$$F(V,W,X,Y,Z)=V'XZ+V'YZ+VWY'+V'WX'Y+W'XY'Z+VW'X'Z+VW'XY$$

【例 2-9】已知逻辑函数

$$X(A,B,C,D)=\sum m(1,5,7,8,10,11,15),$$

$Y(A,B,C,D)=\sum m(1,4,6,9,10,12,13,14)$ ，试求 $F_{AND}=X \cdot Y$ ， $F_{OR}=X+Y$ ， $F_{XOR}=X \oplus Y$ 的最简与或表达式。

【解题指导】卡诺图不但可以表示逻辑函数，化简逻辑函数，而且还可以快速实现逻辑函数的与、或、异或等逻辑运算。其运算规则如下：

- ① 卡诺图的与运算：两卡诺图中相同位置的两个单元内容同时作与运算。
- ② 卡诺图的或运算：两卡诺图中相同位置的两个单元内容同时作或运算。
- ③ 卡诺图的异或运算：两卡诺图中相同位置的两个单元内容同时作异或运算。

【解答】(1)

X	CD	00	01	11	10
AB					
00		0	1	0	0
01		0	1	1	0
11		0	0	1	0
10		1	0	1	1

Y	CD	00	01	11	10
AB					
00		0	1	0	0
01		1	0	0	1
11		1	1	0	1
10		0	1	0	1

F	CD	00	01	11	10
AB					
00		0	1	0	0
01		0	0	0	0
11		0	0	0	0
10		0	0	0	1

在 F 的卡诺图中用“1”圈组，由于圈法唯一，可得到唯一一种最简与或式。

$$F_{\text{AND}} = X \cdot Y = A'B'C'D + AB'CD'$$

X	CD	00	01	11	10
AB					
00		0	1	0	0
01		0	1	1	0
11		0	0	1	0
10		1	0	1	1

Y	CD	00	01	11	10
AB					
00		0	1	0	0
01		1	0	0	1
11		1	1	0	1
10		0	1	0	1

F	CD	00	01	11	10
AB					
00		0	1	0	0
01		1	1	1	1
11		1	1	1	1
10		1	1	1	1

在 F 的卡诺图中用“1”圈组，由于圈法唯一，可得到唯一一种最简与或式。

$$F_{\text{OR}} = X + Y = A + B + C'D$$

X	CD	00	01	11	10
AB					
00		0	1	0	0
01		0	1	1	0
11		0	0	1	0
10		1	0	1	1

Y	CD	00	01	11	10
AB					
00		0	1	0	0
01		1	0	0	1
11		1	1	0	1
10		0	1	0	1

F	CD	00	01	11	10
AB					
00		0	0	0	0
01		1	1	1	1
11		1	1	1	1
10		1	1	1	0

在 F 的卡诺图中用“1”圈组，由于圈法唯一，可得到唯一一种最简与或式。

$$F_{\text{XOR}} = X \oplus Y = B + AC' + AD$$

【例 2-10】已知某电路的输出 F 对应输入 A、B、C 的波形如图 1 所示，试列出该电路的真值表，并写出逻辑函数的标准表达式和最简表达式。

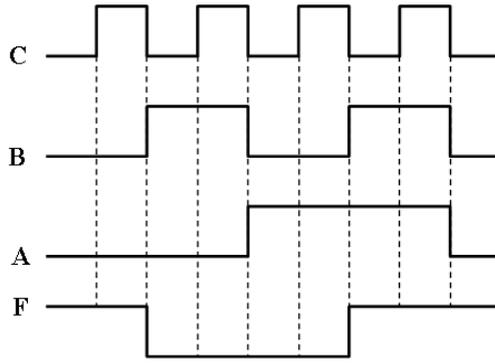


图 1

【解题指导】①首先将波形图分段，对应每个时间段内，将输入变量和输出变量的取值关系列成表格，即得到逻辑函数的真值表。

②如果波形图中没有出现某一输入组合，说明这种输入组合不会出现，它所对应的输出是无关项。

③由真值表写逻辑函数标准与或表达式时，应选择逻辑函数取值为 1 的输入组合来写，输入变量取值为 1 的要用原变量表示，输入变量取值为 0 的要用反变量表示。若由真值表写逻辑函数标准或与表达式时，应选择逻辑函数取值为 0 的输入组合来写，输入变量取值为 1 的要用反变量表示，输入变量取值为 0 的要用原变量表示。

【解答】(1)

真值表

A	B	C	F
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

$$(2) F = A'B'C' + A'B'C + ABC' + ABC = \sum m(0,1,6,7)$$

[最小项表达式]

$$= (A+B'+C)(A+B'+C')(A'+B+C)(A'+B+C') = \prod M(2,3,4,5)$$

[最大项表达式]

(3)

A	BC			
	00	01	11	10
0	1	1	0	0
1	0	0	1	1

A	BC			
	00	01	11	10
0	1	1	0	0
1	0	0	1	1

在卡诺图中用“1”圈组，由于圈法唯一，可得到唯一一种最简与或式。

$$F(A,B,C)=A'B'+AB$$

在卡诺图中用“0”圈组，由于圈法唯一，可得到唯一一种最简或与式。

$$F(A,B,C)=(A'+B)(A+B')$$

【例 2-11】化简多输出逻辑函数

$$\begin{cases} F_1(A,B,C,D) = \sum m(0,1,2,5,7,8,10) \\ F_2(A,B,C,D) = \sum m(0,2,7,8,10,11) \\ F_3(A,B,C,D) = \sum m(0,2,7,10,11,12,13,14,15) \end{cases}$$

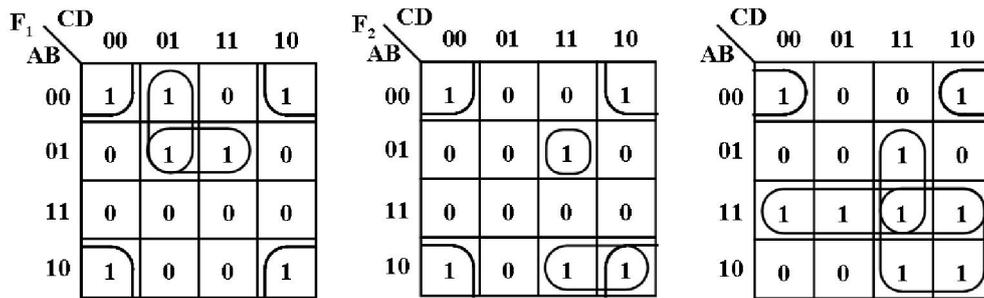
【解题指导】化简多输出逻辑函数的关键是获得整个系统最简，通常有三种方法：

①单独化简法：对每个输出逻辑函数单独分别进行化简，通常这种化简法只在少数情况下能获得整个系统最简。

②整体化简法：对每个单独输出逻辑函数不一定最简，但对整个系统而言却是最简的。其方法是：比较各个输出逻辑函数的卡诺图，寻求共享项，寻求共享项的一般顺序是： $F_1F_2F_3 \rightarrow (F_1F_2, F_1F_3, F_2F_3)$ ，共享项的包围圈尽可能大，共享项越多，重复生成成就越少，函数就越简。在各个输出逻辑函数的卡诺图上首先圈选共享项，对于非共享项仍按单输出逻辑函数的化简方法处理。该方法对输出函数数目和变量数较少的多输出函数比较直观、简便，但对输出函数数目和变量数较多的多输出函数来说则比较繁杂，且规则性较差，通常应反复进行比较，修改圈选方案，才能求得最简的结果。

③Q-M 化简法：通过列表的方式来合并相邻最小项并消去多余因子进行化简的方法。该方法不受输出函数数目和变量数的限制，且有一定的规则和步骤可循，较好地克服了整体化简法在这方面的局限性，但手工化简过程繁杂，因而适用于编制计算机辅助化简程序。

【解答】(1) 单独化简法



在各个卡诺图中用“1”圈组，可得到最简与或式：

$$F_1(A,B,C,D)=B'D'+A'C'D+A'BD$$

$$F_2(A,B,C,D)=B'D'+A'BCD+AB'C$$

$$F_3(A,B,C,D)=A'B'D'+BCD+AB+AC$$

可见，采用单独化简法，实现该多输出逻辑函数需要 10 个与门、3 个或门，共 38 个输入端。

(2) 整体化简法

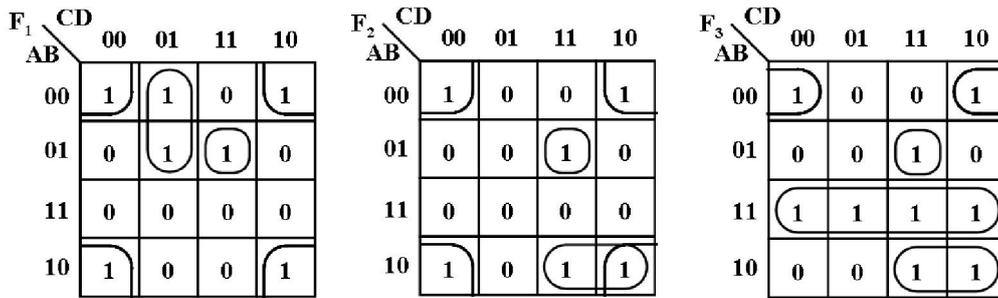
通过卡诺图比对，寻求共享项，共享项越多函数就会越简。

①比较 F_1, F_2, F_3 各自的卡诺图，寻求到 F_1, F_2, F_3 的共享项有： $A'B'D', B'CD', A'BCD$ 。

②比较 F_1, F_2 各自的卡诺图，寻求到 F_1, F_2 的共享项有： $B'D', A'BCD$ 。

③比较 F_1, F_3 各自的卡诺图，寻求到 F_1, F_3 的共享项有： $A'B'D', B'CD', A'BCD$ 。

④ 比较 F_2, F_3 各自的卡诺图，寻求到 F_2, F_3 的共享项有： $A'B'D', AB'C, A'BCD$ 。



在各个卡诺图中用“1”圈组，通过反复比较，修改圈选方案，最终可得到最简与或式：

$$F_1(A,B,C,D)=B'D'+A'BCD+A'C'D$$

$$F_2(A,B,C,D)=B'D'+A'BCD+AB'C$$

$$F_3(A,B,C,D)=A'B'D'+A'BCD+AB+AB'C$$

可见，采用整体化简法，实现该多输出逻辑函数只需要 6 个与门、3 个或门，仅 27 个输入端。

[例 2-12] 求 F 的最简积之和式，并用与非-与非门去实现它。

$$F(W,X,Y,Z)=\prod(1,3,4,6,9,11,12,14)$$

[解题指导] 卡诺图中用合并 1 单元的方法将逻辑函数化简为最简与-或(积之和)式。利用反演定理，可以将与或式两次取反，变为“与非-与非式”，从而可以用两级“与非-与非”门电路实现该逻辑函数。

在卡诺图中用合并 0 单元的方法将逻辑函数化简为最简或-与(和之积)式。利用反演定理，可以将或-与式两次取反，变为“或非-或非式”，从而可以用两级“或非-或非”电路实现该逻辑函数。

[解答] 该题给出的逻辑函数是最大项乘积形式，所以应该先把逻辑函数变为最小项之和形式，再利用卡诺图合并 1 单元的方法，求得该逻辑函数的最简积之和式，进而得到“与非-与非”形式。

$$\begin{aligned} F(W,X,Y,Z) &= \prod(1,3,4,6,9,11,12,14) \\ &= \sum(0,2,5,7,8,10,13,15) \end{aligned}$$

		WX			
		00	01	11	10
YZ	00	1			1
	01		1	1	
	11		1	1	
	10	1			1

$$F = X'Z' + XZ = ((X'Z')'(XZ))'$$

第三章 逻辑门电路

【例 3-1】 已知图 3-1 中各 MOSFET 管的阈值电压 $|V_T| = 2V$ ，若忽略电阻上的压降，则下列哪个电路中的管子处于导通状态。

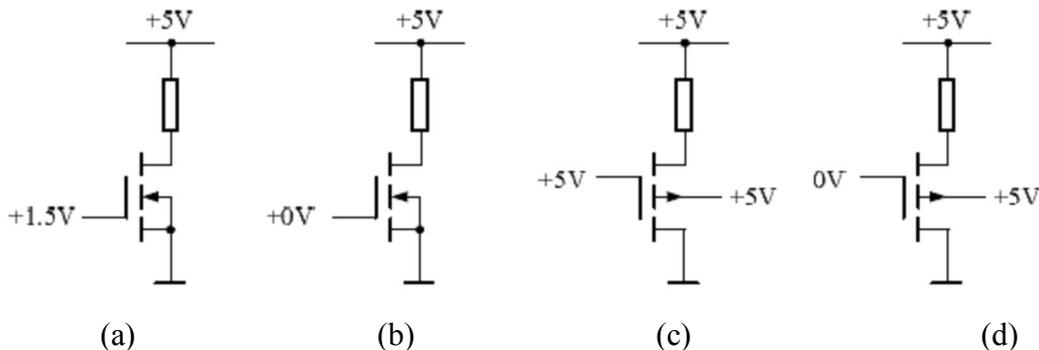


图 3.2 各 MOS 管连接图

【解题指导】

MOSFET 管实际上由 4 部分组成：Gate，Source，Drain 和 Backgate，Source 和 Drain 之间由 Backgate 连接，当 Gate 对 Backgate 的电压超过某个值时，Source 和 Drain 之间的电介质就会形成一个通道，使得两者之间产生电流，从而导通管子，这个电压值称为阈值电压。对 PMOS 管而言，阈值电压是负值，而对 NMOS 管阈值电压是正值。

【解答】

比较上面四个电路图，图(a)-(c)Gate 到 Backgate 的电压均没有超过阈值电压，只有图(d)的 Gate 到 Backgate 的电压为-5V 超过阈值电压，因此图(d)的管子处于导通状态。.....

【例 3-2】 某集成电路芯片，查手册知其最大输出低电平 $V_{OLMAX} = 0.5V$ ，最大输入低电平 $V_{ILMAX} = 0.8V$ ，最小输出高电平 $V_{OHMIN} = 2.7V$ ，最小输入高电平 $V_{IHMIN} = 2.0V$ ，则其低电平噪声容限为？

【解题指导】

噪声容限是指芯片在最坏输出电压情况下，多大的噪声电平会使得输出电压被破坏成不可识别的输入值。对于输出是高电平的情况，其最坏的输出电压是 V_{OHMIN} ，如果要使该电压能在输入端被正确识别为低电压，即被噪声污染后的电压值应该不小于 V_{IHMIN} ，则噪声容限为 $V_{OHMIN} - V_{IHMIN}$ 。对于输出是低电平的情况，噪声容限为 $V_{ILMAX} - V_{OLMAX}$ 。

【解答】

由分析容易知道，该芯片的低电平噪声容限为 $0.8 - 0.5 = 0.3V$ 。

【例 3-3】 试写出该电路的逻辑表达式。

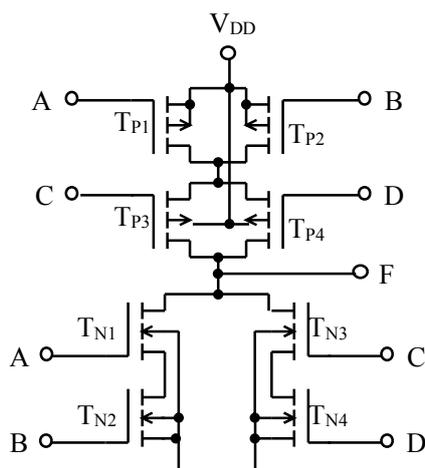


图 3.2

【解题指导】

(1) 当输入端(Inputs)A、B 输入的电平都为高电平时，NMOS 管 T_{N1} 和 T_{N2} 同时都导通(ON)，而 PMOS 管 T_{P1} 和 T_{P2} 同时都截止(OFF)。此时，不管 T_{N3} 和 T_{N4} 的状态如何，输出端与地之间的导通电阻小；不管 T_{P3} 和 T_{P4} 的状态如何，输出端(Outputs)与电源(Power)之间是断开的，因此输出端为低电平状态。

(2) 当输入端 C、D 输入的电平都为高电平时，NMOS 管 T_{N3} 和 T_{N4} 同时都导通(ON)，而 PMOS 管 T_{P3} 和 T_{P4} 同时都截止(OFF)。此时，不管 T_{N1} 和 T_{N2} 的状态如何，输出端与地之间的导通电阻(ON Resistance)小；不管 T_{P1} 和 T_{P2} 的状态如何，输出端与电源之间是断开的，因此输出端也为低电平状态。

(3) 上述分析可知，当输入端 A、B 同时为 1 (C、D 可为任意(Random)取值组合)，或者输入端 C、D 同时为 1 (A、B 可为任意取值组合(Combination)) 时，输出为低电平 $V_O=V_L$ 。当输入端 A、B 不同时为 1，输入端 C、D 也同时为 1 时，情况又怎样呢？

A、B 不同时为 1，且 C、D 也同时为 1，则 T_{N1} 和 T_{N2} 至少有一个截止，且 T_{N3} 和 T_{N4} 至少也有一个截止，则输出端与地之间的通路是断开(Cut Off)的，电阻很大。

A、B 不同时为 1，意味着 A、B 至少有一个输入低电平，则 T_{P1} 和 T_{P2} 至少有一个导通；类似地，C、D 不同时为 1，则 T_{P3} 和 T_{P4} 至少有一个导通，因此输出端与电源之间的电阻较小。因此输出端为高电平 $V_O=V_H$ 。

【解答】

该电路的真值表如表 3.1 所示，显然是与或非门电路的功能，即

$$F = (AB + CD)'$$

表 3.1 双 2 输入或非门电路的真值表

A	B	C	D	F
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

【例 3-4】说明图 3.3 所示电路，在输入 A、B 处于不同状态下时的输出情况。输入 A、B 的低电平为 0V，高电平为 VDD。

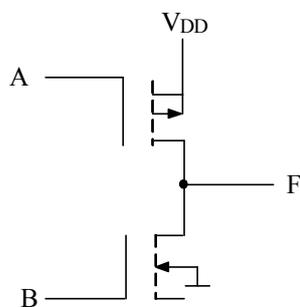


图 3.3

【解题指导】

PMOS 管与 NMOS 管处于导通状态时其要求的栅极输入电压互为相反，分别为低电平和高电平。

【解答】

A=VDD,B=VDD,上面的 PMOS 管不导通，下面的 NMOS 管导通，则输出为低电平。A=VDD,B=0, PMOS 管和 NMOS 管都不导通，输出高阻状态。

A=0,B=VDD, PMOS 管和 NMOS 管都导通，输出为不确定状态。

A=0,B=0,上面的 PMOS 管导通，下面的 NMOS 管不导通，则输出为高电平。

【例 3-5】试用晶体管设计一个 CMOS 电路，其电路功能如图所示。（提示：只需 6 个晶体管）

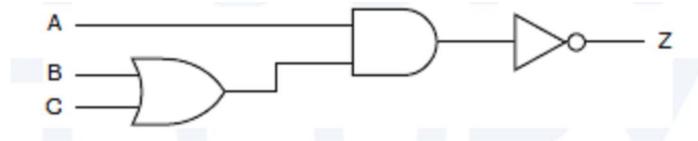


图 3.4

【解题指导】

(1) 每个 CMOS 门电路都由 NMOS 电路和 PMOS 电路两部分组成，并且每个输入都同时加到一个 NMOS 管和一个 PMOS 管的栅极(Gate)上。

(2) 对正逻辑约定而言, NMOS 管的串联(Series Connection)可实现与操作(Implement AND Operation)， 并联(Parallel Connection)可实现或操作(Implement OR Operation)。

(3) PMOS 电路与 NMOS 电路呈对偶关系, 即 NMOS 管串联时，其相应的 PMOS 管一定是并联；而 NMOS 管并联时，其相应的 PMOS 管一定需要串联 (Series Connection)。

(4) 要实现逻辑函数(Logic Function)的与操作，应将相应的 NMOS 管组合串联；而要实现逻辑函数的或操作，则将相应的 NMOS 管组合并联。

【解答】

【例 3-6】已知 CMOS 门路的电源电压 $V_{DD}=10V$ ，静态电源电流 $I_{DD} = 2\mu A$ ，输入信号为 100kHz 的方波（上升时间和下降时间可忽略不计），负载电容 $C_L=200PF$ ，试计算它的静态功耗、动态功耗，总功耗和电源平均电流。

【解题指导】

输出不变时的 CMOS 电路功耗称为静态功耗。CMOS 电路在状态转换时消耗的电能为动态功耗，其来源是输出端上的电容性负载 C_L ，输出从低到高转换时，电流流过 p 沟道晶体管给负载充电，类似的，输出从高到低转换时，电流流过 n 沟道晶体管给负载放电，这两种情况下晶体管导通的电阻都消耗功率。充电开始时电压变化为 V_{DD} ，结束时电压变化很小，故平均电压变化为 $V_{DD}/2$ ，则每次转换消耗的电能为 $C_L V_{DD}^2 / 2$ ，若每秒钟变化 $2f$ 次，则由电容性负载引起的动态功耗为 $C_L V_{DD}^2 f$ 。

【解答】

$$\text{静态功耗 } P_S = I_{DD} V_{DD} = 2 \times 10^{-6} \times 10 = 0.02 \text{mW}$$

$$\text{动态功耗 } P_D = C_L f V_{DD}^2 = 200 \times 10^{-12} \times 100 \times 10^3 \times 10^2 = 2 \text{mW}$$

$$\text{总功耗 } P_{TOT} = P_S + P_D = 2.02 \text{mW}$$

$$I_{DD} = \frac{P_{TOT}}{V_{DD}} = \frac{2.02}{10} = 0.202\text{mA}$$

电源平均电流

【例 3-7】计算图 3.5 电路中的反相器 G_M 能驱动多少个同样的反相器。要求 G_M 输出的高、低电平符合 $V_{OH} \geq 3.2\text{V}$ ， $V_{OL} \leq 0.25\text{V}$ 。所有的反相器均为 74LS 系列 TTL 电路，输入电流 $I_{IL} \leq -0.4\text{mA}$ ， $I_{IH} \leq 20\mu\text{A}$ 。 $V_{OL} \leq 0.25\text{V}$ 时输出电流的最大值 $I_{OL(max)} = 8\text{mA}$ ， $V_{OH} \geq 3.2\text{V}$ 时输出电流的最大值为 $I_{OH(max)} = -0.4\text{mA}$ 。 G_M 的输出电阻可忽略不计。

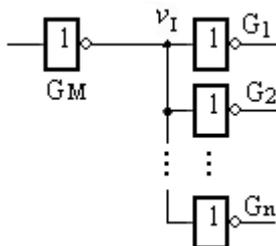


图 3.5

【解题指导】

反相器的驱动能力在不同的输出电平值时不一样，应该分别计算高低电平时各自的驱动门数，然后总驱动门数为二者的最小值。驱动门数的计算为最大的输出电流 ÷ 最大的输入电流。

【解答】

根据 $I_{OL} = 8\text{mA}$ 时 $V_{OL} \leq 0.25\text{V}$ 的要求可得

$$n \leq \frac{8}{I_{IL}} = \frac{8}{0.4} = 20$$

而根据 $V_{OH} \geq 3.2\text{V}$ 时 $I_{OH} \leq -0.4\text{mA}$ 又可求得

$$n' \leq \frac{0.4}{I_{IH}} = \frac{0.4}{0.02} = 20$$

故 G_M 最多能驱动 20 个同样的反相器。

【例 3-8】在图 3.6 由 74 系列 TTL 与非门组成的电路中，计算门 G_M 能驱动多少个同样的与非门。要求 G_M 输出的高、低电平满足 $V_{OH} > 3.2\text{V}$ ， $V_{OL} \leq 0.4\text{V}$ 。与非门的输入电流为 $I_{IL} \leq -16\text{mA}$ ， $I_{IH} \leq 40\mu\text{A}$ ， $V_{OL} \leq 0.4\text{V}$ 时输出电流最大值为 $I_{OL(max)} = 16\text{mA}$ ， $V_{OH} \geq 3.2\text{V}$ 时输出电流最大值为 $I_{OH(max)} = -0.4\text{mA}$ 。 G_M 的输出电阻可忽略不计。

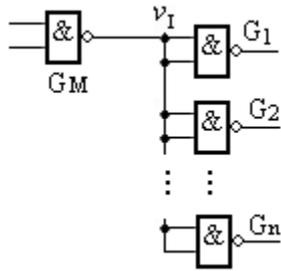


图 3.6

【解题指导】

与反相门不同，两输入的与非门在计算输入电流时要考虑两个输入管脚的电流消耗。低电平输出时，由于与非门输入端只要其中一个管脚为低电平就能保证输出反相，所以与非门实际的输入电流就只是一个管脚的电流，而高电平输出时，与非门的两个输入管脚必须同时为高才能保证输出反相，所以这时要考虑两个管脚的电流之和。

【解答】

$$\text{当 } v_0 = V_{OL} = 0.4\text{V} \text{ 时，可求得 } n \leq \frac{I_{OL(\max)}}{I_{IL}} = \frac{16}{1.6} = 10,$$

$$\text{当 } v_0 = V_{OH} = 3.2\text{V} \text{ 时，可求得 } n' \leq \frac{I_{OH(\max)}}{2I_{IH}} = \frac{0.4}{2 \times 0.04} = 5,$$

故 G_M 能驱动 5 个同样的与非门。

第四章 组合逻辑电路原理

【例 4-1】 逻辑电路如图 4-1 所示，要求

- ① 写出 F 的表达式；
- ② 说明电路的逻辑功能；
- ③ 用最简逻辑电路实现 F

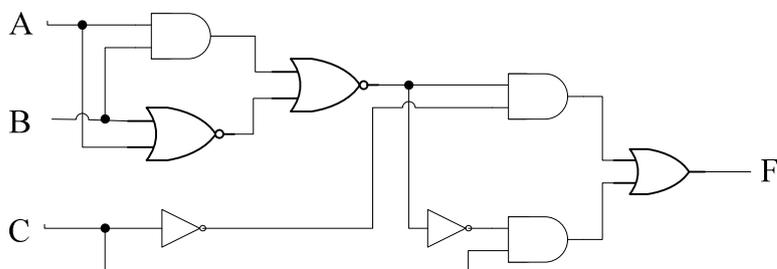
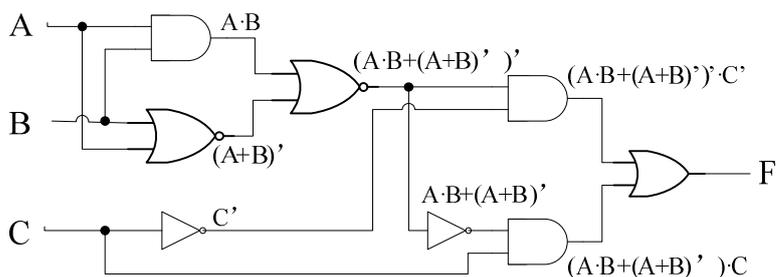


图 1 例 4-1 题图

【解题指导】

看逻辑电路写表达式，应当看清楚信号的流向，每个信号经过了哪些逻辑器件，初学者最好将每个逻辑门的输出都写下来，这样一级一级地往后推，就可以写出正确的表达式。逻辑功能的判断则需要对典型组合逻辑功能比较熟悉，通过逻辑表达式表达出来的典型形式而做出的。



【解】:

① 根据逻辑电路图，可写出 F 的表达式

$$\begin{aligned}
 F &= (A \cdot B + (A + B)')' \cdot C' + (A \cdot B + (A + B)') \cdot C \\
 &= (A \cdot B + A' \cdot B')' \cdot C' + (A \cdot B + A' \cdot B') \cdot C \\
 &= (A \oplus B) \cdot C' + (A \oplus B) \cdot C \\
 &= A \oplus B \oplus C
 \end{aligned}$$

② 由表达式可知，该电路是 3 变量的奇校验电路。

③

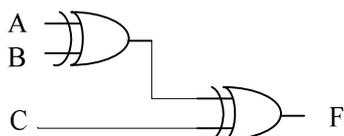


图 2 例 4-1 解——最简逻辑图

【例 4-2】 当某电路的二进制输入信号 A、B、C 大于 4，输出 F 为 1；输入小于等于 4，输出为 0，试给出其最简表达式及电路。

【解题指导】

由题意分析，电路输出与输入信号的当前值有关，并且对数据作大于 4 或小于等于 4 的判断，因而用组合逻辑电路实现。由于输入是 3 位二进制数，按题意，ABC 的值输入 101~111，使输出 F=1，ABC 的值输入 000~100，输出 F=0。

【解】：列出真值表及卡诺图：

ABC	F
000	0
001	0
010	0
011	0
100	0
101	1
110	1
111	1

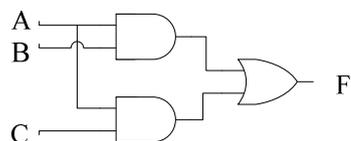
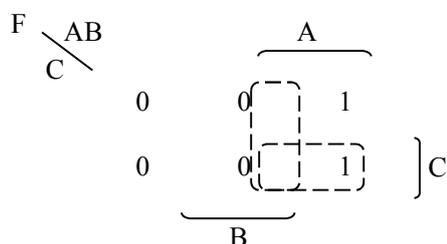


图 3 例 4-2 解电路图

可得表达式： $F=A \cdot B+A \cdot C$

根据表达式可绘出电路图。

【例 4-3】某电路如图所示，写出真值表及其各输出端逻辑表达式，试说明其逻辑功能。

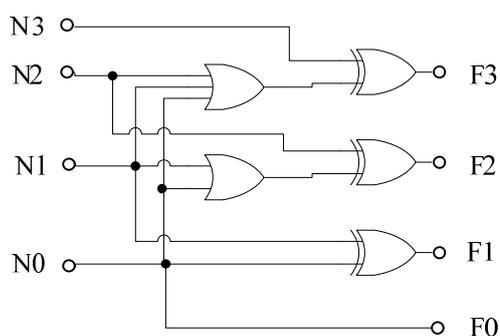
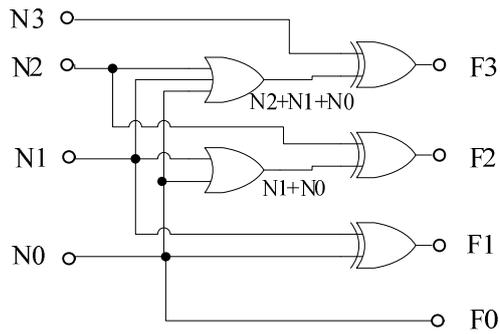


图 4 例 4-3 题图

【解题指导】

这个电路属于多输入多输出电路，比较好的观察方式是从每个输出变量逆向往输入端理清信号来源，并将信号路径中的各逻辑门输出进行标注。逻辑功能的判定需要综合表达式、真值表等表达方式判定，本题需要较为仔细的观察力，从输入、输出变量的值的特点进行判别。



【解】: 其逻辑表达式

$$F_3 = N_3 \oplus (N_2 + N_1 + N_0)$$

$$F_2 = N_2 \oplus (N_1 + N_0)$$

$$F_1 = N_1 \oplus N_0$$

$$F_0 = N_0$$

真值表

N_3	N_2	N_1	N_0	F_3	F_2	F_1	F_0
0	0	0	0	0	0	0	0
0	0	0	1	1	1	1	1
0	0	0	1	1	1	0	1
0	0	0	1	1	1	1	0
0	0	1	0	1	1	0	0
0	1	0	0	1	1	0	0
0	1	0	1	1	0	1	1
0	1	1	0	1	0	1	0
0	1	1	1	1	0	0	1
1	0	0	0	1	0	0	0
1	0	0	1	0	0	1	1
1	0	1	0	0	0	1	0
1	0	1	1	0	0	0	1
1	1	0	0	0	0	0	0
1	1	0	1	0	0	1	1
1	1	1	0	0	0	1	0
1	1	1	1	0	0	0	1

由逻辑表达式不易看出本电路的逻辑功能，从真值表分析，输出是输入的补码。因而该电路是 4 位二进制数的求补码电路。

【例 4-4】 某组合逻辑电路输入为 A、B、C，输出为 F_A 、 F_B 、 F_C ，其工作波形如图 3 所示，试写出其逻辑表达式，并说明其逻辑功能。

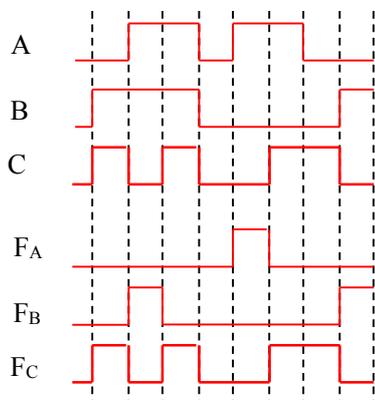


图 5 例 4-4 波形图

【解题指导】

由波形写出逻辑表达式也是逻辑电路分析的一种形式。从给出的波形中找出所有的输入组合及其所对应的输出是关键,应当尽量利用图中的表示时间顺序的虚线,可以比较快而准确的找到输入/输出的关系。将之写入真值表或卡诺图,就可以得到相应的逻辑表达式。

【解】:

由波形图可列出真值表,

A	B	C	F _A	F _B	F _C
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	0
0	1	1	0	0	1
1	0	0	1	0	0
1	0	1	0	0	1
1	1	0	0	1	0
1	1	1	0	0	1

逻辑表达式:

$$F_A = A \cdot B' \cdot C'$$

$$F_B = A' \cdot B \cdot C' + A \cdot B \cdot C' = B \cdot C'$$

$$F_C = C$$

综合真值表及表达式分析,当 C=1, F_C=1, 其余两输出变量均为 0; 当 C=0, B=1 时, F_B=1, 其余两输出变量为 0; 而只有当 C=B=0 时, A=1, F_A=1, 可判断该电路为优先权排序电路, C 具有最高优先权, B 次之, A 的优先权最低。

【例 4-5】设计一个代码转换电路, 将一个十进制数的余 3 码表示转换为 2421 码表示, 要求用最小成本实现。

【解题指导】

首先应当明确的是一个十进制数的余 3 码表示和 2421 码表示均需要 4 位二进制码, 其次是 4 位二进制码除了用于表达这两种十进制数而用去的 10 个组合外, 对剩下的 6 个组合一般采取的措施是作为无关输入处理。完成两种编码的转换可由一 4 输入 4 输出的组合逻辑电路实现。

【解】:

设输入为 A₃A₂A₁A₀, 输出为 B₃B₂B₁B₀, 则建立相应的输入输出关系 (即真值表) 如下:

十进制数字	A ₃ A ₂ A ₁ A ₀ (余 3 码)	B ₃ B ₂ B ₁ B ₀ (2421 码)
0	0011	0000
1	0100	0001
2	0101	0010
3	0110	0011
4	0111	0100
5	1000	1011
6	1001	1100

7	1010	1101
8	1011	1110
9	1100	1111

上述真值表中，还有六个无关输入取值组合，即 0000、0001、0010、1101、1110、1111。由于要设计的是最小成本电路，这些输入组合对应的输出可以是任意值，因此，借助于卡诺图表示，可以得到各个输出的最简逻辑表达式。

		A_3A_2			
A_1A_0		00	01	11	10
00	d	0	1	1	
01	d	0	d	1	
11	0	0	d	1	
10	d	0	d	1	

$$B_3 = A_3$$

		A_3A_2			
A_1A_0		00	01	11	10
00	d	0	1	0	
01	d	0	d	1	
11	0	1	d	1	
10	d	0	d	1	

$$B_2 = A_3A_2 + A_3A_0 + A_3A_1 + A_2A_1A_0$$

		A_3A_2			
A_1A_0		00	01	11	10
00	d	0	1	1	
01	d	1	d	0	
11	0	0	d	1	
10	d	1	d	0	

$$B_1 = A_3A_1A_0' + A_2A_1A_0 + A_3A_1A_0 + A_2A_1A_0'$$

		A_3A_2			
A_1A_0		00	01	11	10
00	d	1	1	1	
01	d	0	d	0	
11	0	0	d	0	
10	d	1	d	1	

$$B_0 = A_0'$$

最后可由上述逻辑表达式得到电路的逻辑图，此处省略。

【例 4-6】某 4 位二进制数检测电路，当输入数可被 3 整除时，输出 $F=1$ ，其余为 0，请给出其最简与非——与非结构电路。

【解题指导】

对于组合逻辑电路设计，应当根据题意，确定输入/输出变量的个数，以及根据条件而需要得到的有效输出所对应的输入取值组合。本题中，输入是 4 位二进制数，对应十进制数为 0~15，按题设条件，可被 3 整除的有 0、3、6、9、12、15；输出为 1 位二进制，作为满足题设条件的“是/否”输出。

【解】：

设输入变量用 $B_3B_2B_1B_0$ 表示，可得输出

$$F = \Sigma B_3B_2B_1B_0 (0, 3, 6, 9, 12, 15)$$

用卡诺图化简

F	B ₃ B ₂	B ₃		
B ₁ B ₀	1	0	1	
B ₀	0	0	0	B ₁
	1	0	1	
	0	1	0	
	B ₂			

由卡诺图看出，没有可化简的项，得逻辑表达式：

$$\begin{aligned}
 F &= B_3'B_2'B_1'B_0 + B_3'B_2'B_1B_0 + B_3'B_2B_1B_0' + B_3B_2'B_1'B_0 + B_3B_2B_1'B_0' + \\
 & B_3B_2B_1B_0 \\
 &= \\
 & [(B_3'B_2'B_1'B_0)' \cdot (B_3'B_2'B_1B_0)' \cdot (B_3'B_2B_1B_0)' \cdot (B_3B_2'B_1'B_0)' \cdot (B_3B_2B_1'B_0)' \cdot (B_3B_2B_1B_0)]'
 \end{aligned}$$

【例 4-7】 试设计一电路，设输入为 A_1A_0 和 B_1B_0 。当 $(A_1+A_0)'$ 和 $(B_1 \oplus B_0)'$ 的逻辑运算值相等时，输出 $F=1$ ，请给出其最简与或结构电路。

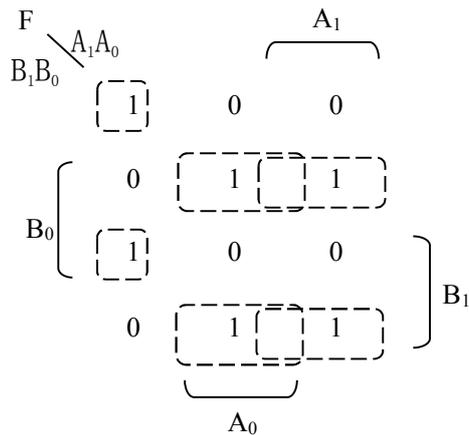
【解题指导】

本例先需要进行 $(A_1+A_0)'$ 和 $(B_1 \oplus B_0)'$ 的逻辑运算，然后再对二者的计算结果作进一步的比较，找出二者逻辑计算结果相同的值。

【解】： 列出作为含有比较对象 $(A_1+A_0)'$ 和 $(B_1 \oplus B_0)'$ 的输出的真值表。

A ₁ A ₀	B ₁ B ₀	(A ₁ +A ₀)'	(B ₁ ⊕B ₀)'	F	A ₁ A ₀	B ₁ B ₀	(A ₁ +A ₀)'	(B ₁ ⊕B ₀)'	F
0 0	0 0	1	1	1	1 0	0 0	0	1	0
0 0	0 1	1	0	0	1 0	0 1	0	0	1
0 0	1 0	1	0	0	1 0	1 0	0	0	1
0 0	1 1	1	1	1	1 0	1 1	0	1	0
0 1	0 0	0	1	0	1 1	0 0	0	1	0
0 1	0 1	0	0	1	1 1	0 1	0	0	1
0 1	1 0	0	0	1	1 1	1 0	0	0	1
0 1	1 1	0	1	0	1 1	1 1	0	1	0

用卡诺图化简



逻辑表达式:

$$F=A_1B_1'B_0'+A_1B_1B_0'+A_0B_1'B_0+A_0B_1B_0'+A_1'A_0'B_1'B_0'+A_1'A_0'B_1B_0$$

【例 4-8】判断下列逻辑表达式是否可能产生静态冒险, 如果有, 如何消除?

(1) $F=CA'+BA$

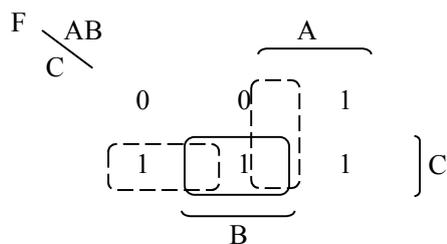
(2) $F=AB'C'+BC'D'+CD'$

【解题指导】

静态冒险的查找与消除这种题型用卡诺图进行判断比较直观。对于“1”单元画的圈之间若存在相切的地方, 则可能产生静态 1 冒险, 对于“0”单元画的圈之间若存在相切的地方, 则可能产生静态 0 冒险。消除的方法是在相切部分添加冗余项或重新画圈。当然, 就实际应用来说, 消除冒险的方法还有在输出端添加滤波电容等。

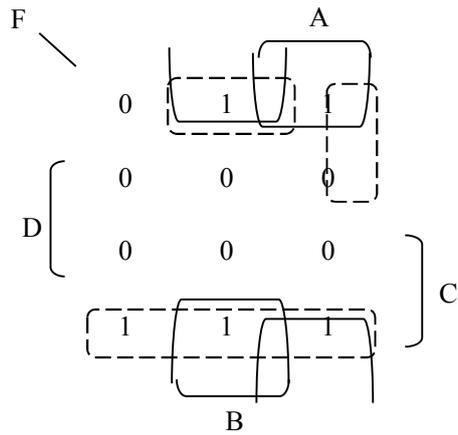
【解】:

(1)



由图中可看出, 当 $B=1, C=1$ 时, A 由 $0 \rightarrow 1$ 或 $1 \rightarrow 0$ 的变化, 可能产生静态 1 冒险。增加 CB 项, 消除冒险, 见图中实线圈。

(2)

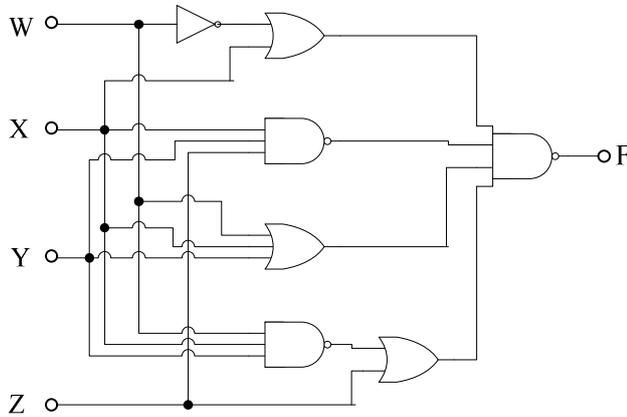


由图中看出，

- (a) 当 $A=1, C=0, D=0$ 时, B 由 $0 \rightarrow 1$ 或 $1 \rightarrow 0$ 的变化, 可能产生静态 1 冒险。
- (b) 当 $A=0, B=1, D=0$ 时, C 由 $0 \rightarrow 1$ 或 $1 \rightarrow 0$ 的变化, 可能产生静态 1 冒险。
- (c) 当 $A=B=1, D=0$ 时, C 由 $0 \rightarrow 1$ 或 $1 \rightarrow 0$ 的变化, 可能产生静态 1 冒险。
- (d) 当 $A=1, B=D=0$ 时, C 由 $0 \rightarrow 1$ 或 $1 \rightarrow 0$ 的变化, 可能产生静态 1 冒险。

可采用添加冗余项的方式消除冒险, 见图中实线圈。

【例 4-9】判断下图所示电路是否存在冒险, 说明类型, 如何修改可消除冒险, 写出其或与表达式。



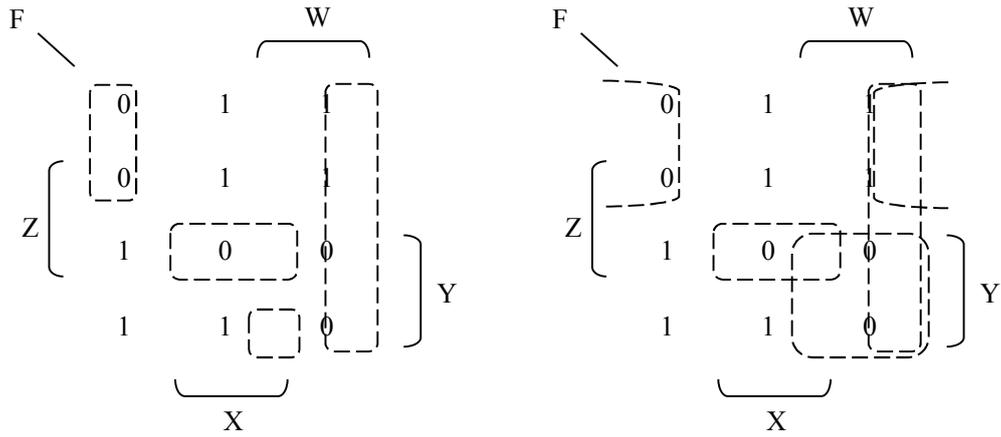
【解题指导】

判断电路是否存在冒险, 需要按照原电路写出标准两级结构表达式, 然后通过卡诺图中画出原结构的画圈模式进行判别。

【解】: 将电路整理一下, 可得规范的或与表达式:

$$(W'+X)(X'+Y'+Z')(W+X+Y)(W'+X'+Y'+Z)$$

由表达式可得卡诺图如下:



(a) 按题意所得卡诺图

(b) 修改后消除冒险的卡诺图

此电路存在静态 0 冒险，

- (a) 当 $X=Y=0$, $Z=0$ 或 1 时, W 由 $0 \rightarrow 1$ 或 $1 \rightarrow 0$ 的变化, 可能产生静态 0 冒险。
- (b) 当 $W=Y=1$, $Z=0$ 或 1 时, X 由 $0 \rightarrow 1$ 或 $1 \rightarrow 0$ 的变化, 可能产生静态 0 冒险。
- (c) 当 $W=X=Y=1$ 时, Z 由 $0 \rightarrow 1$ 或 $1 \rightarrow 0$ 的变化, 可能产生静态 0 冒险。

可采用添加冗余项的方式消除静态冒险, 如图 (b) 所示, 表达式

$$F = (W' + X)(W' + Y')(X + Y)(X' + Y' + Z')$$

【例 4-10】请设计一个开关编码控制电路, 当开关 0、1、2、3 接通时 (设接通时用 $K_i=1$ 表示), 分别输出 00、01、10、11, 且从 0 开始, 只要有编号较低的输入, 电路就不会对较大的编号进行编码。试设计这一电路。

【解题指导】

由题意分析, 0 号开关具有最高的优先编码权利, 只有 $K_0=0$, 电路才能对其他输入有效的开关进行编码, 依次类推。因此, 本题是一优先权编码电路。

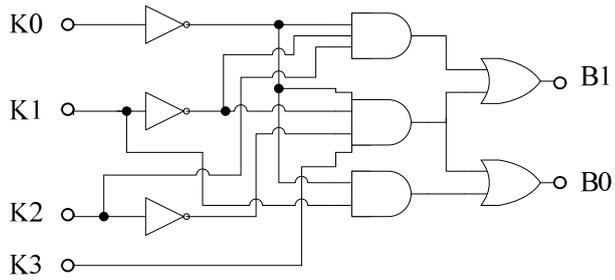
【解】: 列出真值表具体分析, 用 K_0 、 K_1 、 K_2 、 K_3 表示各开关接通的信号, 输出用 B_1 、 B_0 表示:

K_0	K_1	K_2	K_3	B_1B_0
1	×	×	×	0 0
0	1	×	×	0 1
0	0	1	×	1 0
0	0	0	1	1 1

$$B_1 = K_0'K_1'K_2 + K_0'K_1'K_2'K_3$$

$$B_0 = K_0'K_1 + K_0'K_1'K_2'K_3$$

电路如下所示:

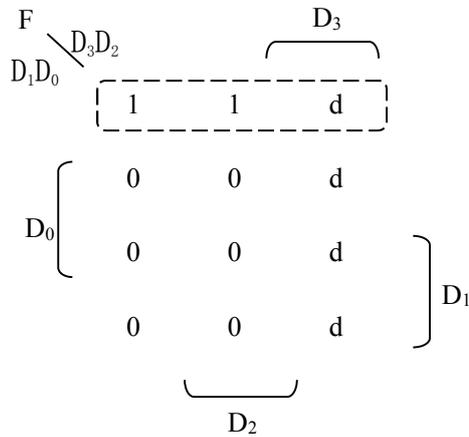


【例 4-11】已知某 4 输入电路，若输入 BCD 码可被 4 整除，则输出 Y 为 1，反之为 0。给出其表达式及逻辑电路。

【解题指导】

BCD 码为 4 位二进制表示的十进制数，只用了 0000~1001 这 10 个数，剩余的 6 个数无效码，在处理中作为无关项处理。

【解】：设输入用 $D_3D_2D_1D_0$ 表示，则由题意可得： $Y = \sum_{D_3D_2D_1D_0} (0,4,8) + d(10,11,12,13,14,15)$



$$Y = D_1' D_0'$$

第五章 组合逻辑电路实践

【例 5-1】以 8-3 优先编码器 (8-3 Priority Encoder) 74x148 为主要器件设计一个 16-4 优先编码器 (16-4 Priority Encoder)。

【解题指导】

16-4 优先编码器有 16 个输入信号, 4 个经过编码的输出信号。单个编码器 74x148 的输入信号引脚 (Input Signal Pins) 数为 8 个, 因此需要使用 2 片 74x148 芯片。

【解答】

讨论优先编码器 74x148 时, 我们知道, $EI_L=1$ 时, 编码器不工作, 此时 EX_L 和 EO_L 输出都为 1; $EI_L=0$ 时, 编码器工作, 若无有效的输入信号, 即无编码要求时, $EX_L=1$, $EO_L=0$ 。因此高位编码器 74x148-H 的输出 EO_L 与低位编码器 74x148-L 的编码使能端 EI_L 相连, 控制低位编码器的工作。高位编码器的编码使能端 EI_L 作为扩展编码器的总体使能端, 低位编码器的输出 EO_L 作为扩展编码器的 EO_L 。即当高位编码器禁止(Forbid)编码时, 低位编码器被禁止编码; 当高位编码器允许编码且有输入信号要求编码时, 低位编码器也被禁止编码; 当高位编码器允许编码却没有输入信号要求编码时, 则允许低位编码器对输入的信号进行编码。

通过上述的连接, 两个编码器芯片不可能同时编码输出, 从编码器的功能表可知, 当不允许编码或允许编码但没有输入信号要求编码时, 编码器的输出都为高电平。因此把两个编码器芯片的编码输出端分别对应相“与”, 并作为整个编码器的编码输出低 3 位 Z_2_L 、 Z_1_L 和 Z_0_L 。

由编码器的功能表还可以看出, 当允许编码且有输入信号进行编码时, EX_L 为低电平; 而允许编码却没有输入信号要求编码时, EX_L 为高电平。因此把 EX_L 作为编码器的最高位编码输出 Z_3_L 。

当不允许编码或允许编码但没有输入信号要求编码时, EX_L 为高电平, 因此把两个编码器的 EX_L 相“与”后, 作为整个编码器的扩展输出端 EX_L 。

因此以 2 片 74x148 编码器为主要器件, 再添加 4 个“与”门, 就可以设计出 16-4 优先编码器(16-4 Priority Encoder), 如图 1 所示。

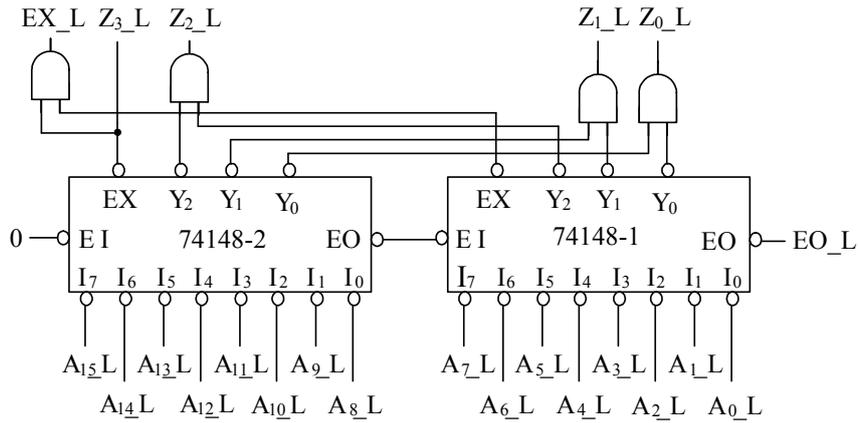


图1 例 5-1 题解

【例 5-2】 利用优先编码器（Priority Encoder）74x148 构成 8421 BCD 码编码器 (BCD Encoder)。

【解题指导】 分析优先编码器 74x148 的功能表和 BCD 码编码器 74x147 的功能表可以发现，编码器输出具有非常相似之处。当输入 $D_0_L \sim D_7_L$ 之一为有效输入时，输出编码是相同的。

【解答】

当输入为 D_8_L 或 D_9_L 时，需要另外添加电路实现编码，由于 D_8_L 的 BCD 编码为 0111， D_9_L 的 BCD 编码为 0110，而 $D_0_L \sim D_7_L$ 的编码最高位(MSB)都为 1，因此 BCD 码编码器的最高位(MSB)输出为 $Z'_8 = D'_9 \cdot D'_8$ 。

当 74x148 优先编码器的编码使能端(Encoder Enable) $EI_L=1$ 时，编码器不工作，编码输出端 Y_2_L 、 Y_1_L 和 Y_0_L 都为 1，因此令 $EI' = (D'_9 \cdot D'_8)'$ ， $Z'_1 = D'_9 \cdot Y'_0$ ，用优先编码器 74x148 和门电路，可以构成 BCD 码编码器，如图 2 所示。

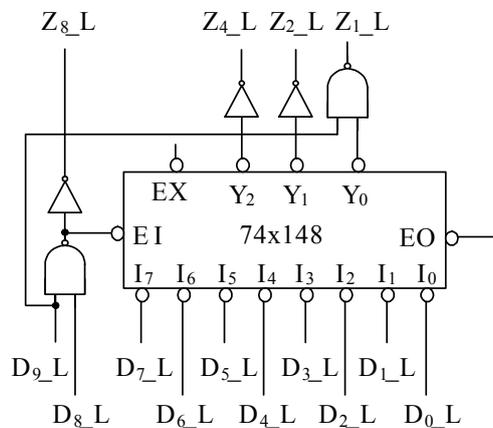


图2 例 5-1 题解

【例 5-3】用 3-8 译码器 74x138 和逻辑门实现逻辑函数 $F(A,B,C)=\Sigma m(0,1,3,5,7)$ 。

【解题指导】根据对 3-8 译码器 74x138 的分析知，译码器的低电平输出实际上是三变量逻辑函数的最大项发生器(Maxterm Generator)，或是高电平输出时的三变量逻辑函数的最小项发生器(Minterm Generator)。

【解答】

该逻辑函数可以表示为

$$F(A,B,C) = m_0+m_1+m_3+m_5+m_7 = ((m_0 + m_1 + m_3 + m_5 + m_7)')'$$

$$= (m'_0 \cdot m'_1 \cdot m'_3 \cdot m'_5 \cdot m'_7)' = (Y'_0 \cdot Y'_1 \cdot Y'_3 \cdot Y'_5 \cdot Y'_7)'$$

所以该逻辑函数可以用 3-8 译码器 74x138 及一个五输入的“与非门”(5-Input NAND Gate)实现。如图 3 (a) 所示。

由于 $m'_i \equiv M_i$ ，该逻辑函数还可以表示为

$$F(A,B,C) = \Pi_M(2,4,6) = M_2 \cdot M_4 \cdot M_6 = m'_2 \cdot m'_4 \cdot m'_6 = Y'_2 \cdot Y'_4 \cdot Y'_6$$

所以该逻辑函数还可以用 3-8 译码器 74x138(3-8 Decoder)及一个三输入的“与门”(3-Input AND Gate)实现(Realize)。如图 3 (b) 所示。

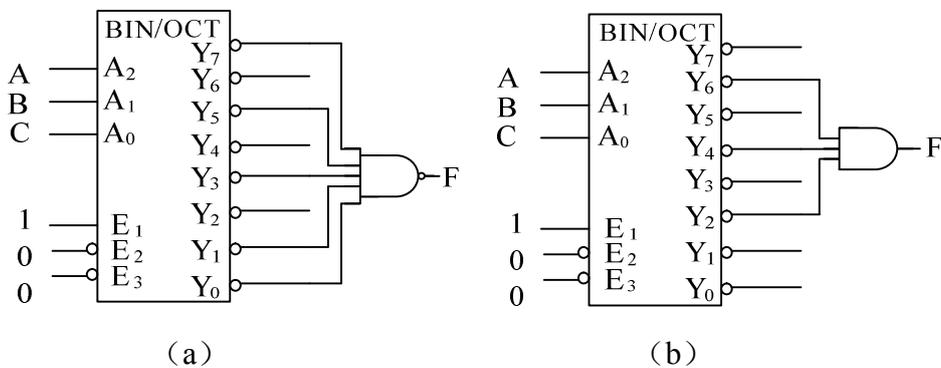


图 3 例 5-3 题解

可见，3-8 译码器可以实现任意 3 变量的逻辑函数(Random 3-Variable Logic Function)。而 4-16 译码器则可以实现任意 4 变量的逻辑函数(Random 4-Variable Logic Function)，利用译码器可以实现任何有限变量的组合逻辑电路设计。

3-8 译码器 74x138 有三个使能信号，利用这些使能信号，在不需附加任何门电路的情况下，便可以扩展 4-16 译码器，甚至 5-32 译码器电路。

【例 5-4】用数据选择器 74x153 实现逻辑函数 $F(A,B,C) = AB + B'C$ 。

【解题指导】 根据对数据选择器 74x153 的分析知，数据选择器的输出逻辑函数表达式为完全和的形式即 $Y = (EN')'(A_1' \cdot A_0' D_0 + A_1' \cdot A_0 D_1 + A_1 A_0' D_2 + A_1 A_0 D_3)$ 。因此需要将待实现的逻辑函数表达式进行形式变换。

【解答】

$$\begin{aligned}
 F(A, B, C) &= AB + B'C \\
 &= A'B'C + AB'C + AB
 \end{aligned}$$

与数据选择器的输出逻辑函数表达式比较，如果待实现的逻辑函数的变量 A 输入到数据选择器的数据选择端 A_1 ，变量 B 输入到选择端 A_0 ，那么当变量 C 输入到数据选择器的数据端 D_0 和 D_2 ，且数据选择器的数据端 D_1 为恒定逻辑“0”， D_3 为恒定逻辑“1”，使能端 EN' 为恒定逻辑“0”时，则数据选择器的逻辑函数表达式为：

$$\begin{aligned}
 Y &= (EN')'(A_1' \cdot A_0' D_0 + A_1' \cdot A_0 D_1 + A_1 A_0' D_2 + A_1 A_0 D_3) \\
 &= 0'(A_1' B' C + A_1' B \cdot 0 + A_1 B' C + A_1 B \cdot 1) \\
 &= A' B' C + A B' C + A B
 \end{aligned}$$

显然，此时数据选择器实现了待设计的逻辑函数的功能，如图 4 所示。

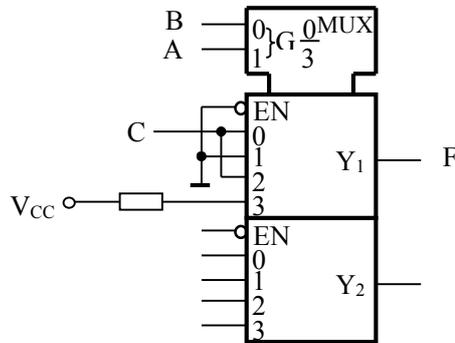


图 4 例 5-4 题解

【例 5-5】 假设某计算机系统的地址线为 16 条，现要连接 2 片存储器(Memory)和 3 个外部设备，它们占用的地址空间如表 5.1 所示。试设计存储器和外设的译码电路。

表 5.1 存储器和外设占用的地址空间

类型和序号	占用的地址空间
-------	---------

【解题指导】计算机系统的地址线有 16 条，共有 2^{16} 个不同的地址组合，即可访问 $2^{16}=10000H$ 个存储器单元或输入输出寄存器，地址范围是 0000H~FFFFH。

存储器 1	0000H~3FFFH
存储器 2	4000H~7FFFH
外设 1	A000H~BFFFH
外设 2	C000H~DFFFH
外设 3	E000H~FFFFH

【解答】

对于存储器 1，将其占用的地址空间 (Address Space) 写成二进制的形式，首地址 (First Address) 为 0000000000000000B，末地址 (End Address) 为 0011111111111111B，占用的地址单元数目是 $2^{14}=16384$ ，这些地址值的共同特点是高两位都为 0，即如果要选中存储器 1，就要求高两位地址值为 00。

通过类似的分析可知，要能选中存储器 2，则要求高两位地址为 01；要选中外设 1，要求高三位地址为 101；选中外设 2 和外设 3，要求的高三位地址分别为 110 和 111。

如果将高三位地址 A_{15} 、 A_{14} 、 A_{13} 作为 3-8 译码器 74x138 的三个译码输入端，则译码器的 Y_{0_L} 和 Y_{1_L} 输出有效时，应该选中存储器 1；而 Y_{2_L} 和 Y_{3_L} 输出有效时，应该选中存储器 2； Y_{5_L} 输出有效时，应该选中外设 1； Y_{6_L} 输出有效时，应该选中外设 2；而 Y_{7_L} 输出有效时，则应该选中外设 3。

每个存储器或外设的选择信号只能有一个，而译码器的输出有效电平是低电平，因此 Y_{0_L} 、 Y_{1_L} 相“或”之后的输出为存储器 1 的选择信号；而 Y_{2_L} 、 Y_{3_L} 相“或”之后的输出为存储器 2 的选择信号。译码电路如图 5 所示。

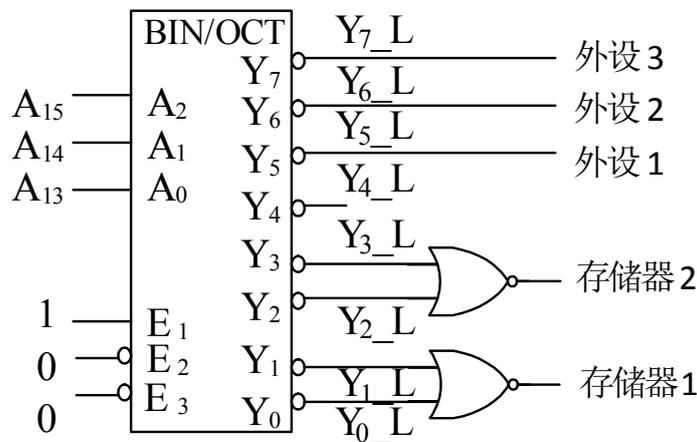


图 5 例 5-5 题解

【例 5-6】 以 3-8 译码器 74x138 为主要器件设计一个 1-8 的数据分配器(1-8 Demultiplexer)。

【解题指导】 数据分配器是根据地址选择信号(Address Selection Signal)来决定由哪个数据输出端输出。当输入数据为 0 时，被选中的数据输出端为 0；当输入数据为 1 时，被选中的数据输出端为 1。而其它未被选中的数据输出端的状态都为 0。

3-8 译码器有 3 个使能信号(Enable Signal) E_1 、 E_2_L 和 E_3_L ，将 E_2_L 、 E_3_L 连接在恒定的低电平上，使其一直有效。 E_1 作为数据分配器的数据输入端，而译码器的译码输入 A_2 、 A_1 、 A_0 则作为数据分配器的地址选择端。考虑到与数据分配器的输出状态一致，译码器的各个输出经过非门后作为数据分配器的数据输出端。

【解答】

当 E_1 为 1 时，若 $A_2A_1A_0=000$ ，则 $Y_0_L=0$ ， $D_0=1$ ，而 $Y_1_L \sim Y_7_L$ 都为 1，即 $D_1 \sim D_7$ 都为 0；若 $A_2A_1A_0=001$ ，则 $Y_1_L=0$ ， $D_1=1$ ，而 Y_0_L 和 $Y_2_L \sim Y_7_L$ 都为 1，即 D_0 和 $D_2 \sim D_7$ 都为 0； $A_2A_1A_0$ 的其它取值情况读者可以自己验证。而当 E_1 为 0 时，译码器的使能信号无效(Deserted)，译码器输出 $Y_0_L \sim Y_7_L$ 都为 1，使得 $D_0 \sim D_7$ 都为 0，即输出数据为 0。电路图如图 6 所示。

此外，译码器与计数器(Counter)结合，可以构成脉冲分配器(Pulse Divider)，与三态门(Three-State Gate)结合，可以构成数据选择器(Multiplexer)。

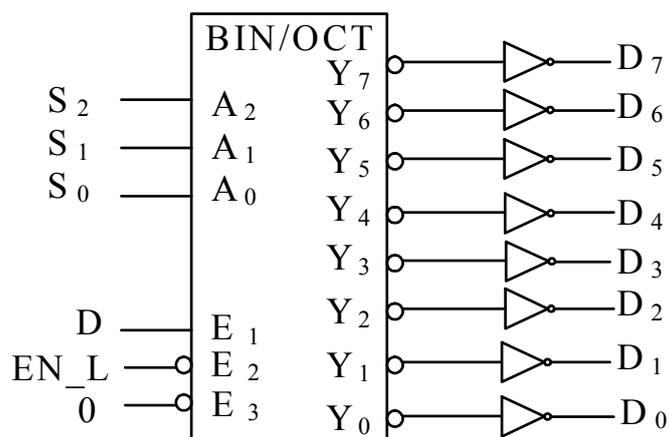


图 6 例 5-6 题解

【例 5-7】用四选一数据选择器实现逻辑函数 $F(A, B, C, D) = AB'C + ABC' + A'CD$

【解题指导】由数据选择器的功能表可知，四选一数据选择器的逻辑函数表达式为 $Y = ((EN)')'(A_1' \cdot A_0' D_0 + A_1' \cdot A_0 D_1 + A_1 A_0' D_2 + A_1 A_0 D_3)$

对比两个逻辑函数表达式，令 $A_1=A$ ， $A_0=C$ ，则欲使数据选择器的输出为等于待求逻辑函数，就要求 $EN'=0$ ， $D_0=0$ ， $D_1=D$ ， $D_2=B$ ， $D_3 = B'$ 。

【解答】

观察逻辑函数表达式可知，每个与项都包含了变量 A 和 C，因此用 A、C 作数据选择器的选择输入端，将逻辑函数表达式作如下变换

$$F(A,B,C,D) = AB'C + ABC' + A'CD$$

$$= A' \cdot C' \cdot 0 + A' C \cdot D + AC' \cdot B + AC \cdot B'$$

用四选一数据选择器 74x153 实现该逻辑函数的电路图如图 7 所示。

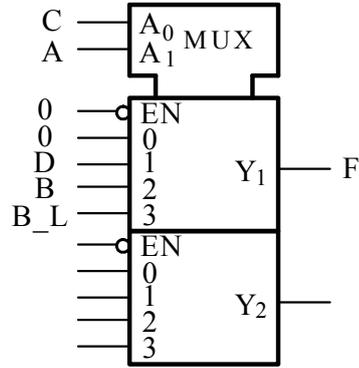


图7 例5-7题解

【例 5-8】分别用四选一数据选择器 74x153 和八选一数据选择器 74x151 实现逻辑函数 $F(A,B,C,D)=\sum m(0,1,5,6,7,9,10,13,15)+\sum \phi(4,8,11,12)$

【解题指导】首先考虑用四选一数据选择器实现该逻辑函数，卡诺图如图 8 (a) 所示。由于四选一数据选择器有 2 个地址选择输入端，因此卡诺图的一边应该有 2 个变量，因为该函数是 4 变量逻辑函数，所以卡诺图的另一边也是 2 个变量。原则上选择任何一边作地址选择输入端都可以，但在本题中，如果选择 CD 作地址选择输入端，需要外加逻辑门，因此选择 AB 作地址选择输入端更恰当。

【解答】

为了保证地址选择输入端 AB 不被化简掉，应该按行进行化简，而行与行之间即使能够化简，也不作化简。

根据化简圈的情况，可以写出数据选择器的输入数据端的逻辑函数表达式

$$D_0 = C' , D_1=1, D_2=1, D_3=D$$

用四选一数据选择器实现的电路图如图 8 (b) 所示。

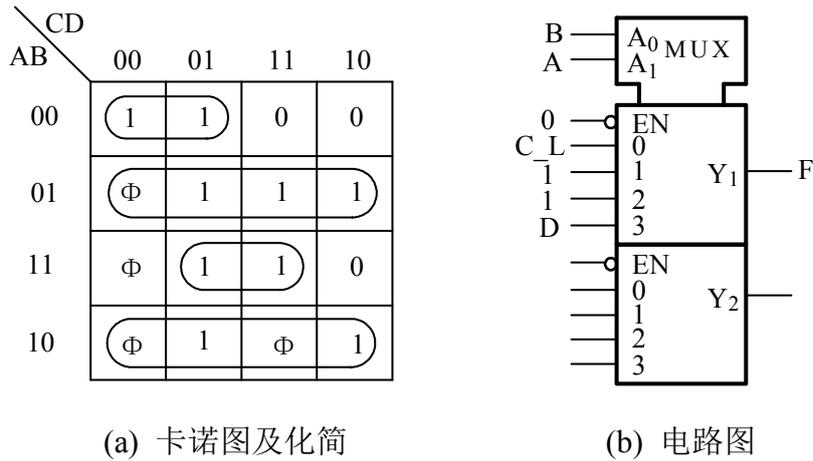


图 8 例 5-8 用四选一数据选择器实现的卡诺图和电路图

用八选一数据选择器实现该逻辑函数时，卡诺图如图 8 (a) 所示。由于八选一数据选择器有 3 个地址选择输入端，因此卡诺图的一边应该有 3 个变量，因为该函数是 4 变量逻辑函数，所以卡诺图的另一边只有 1 个变量。选择 BCD 作地址选择输入端。

为了保证地址选择输入端 BCD 不被化简掉，应该按列进行化简，而列与列之间即使能够化简，也不作化简。

根据化简圈的情况，可以写出数据选择器的输入数据端的逻辑函数表达

$$D_0=1, D_1=1, D_2=A, D_3=0, D_4=0, D_5=1, D_6 = A', D_7=1$$

用八选一数据选择器实现的电路图如图 9 (b) 所示。

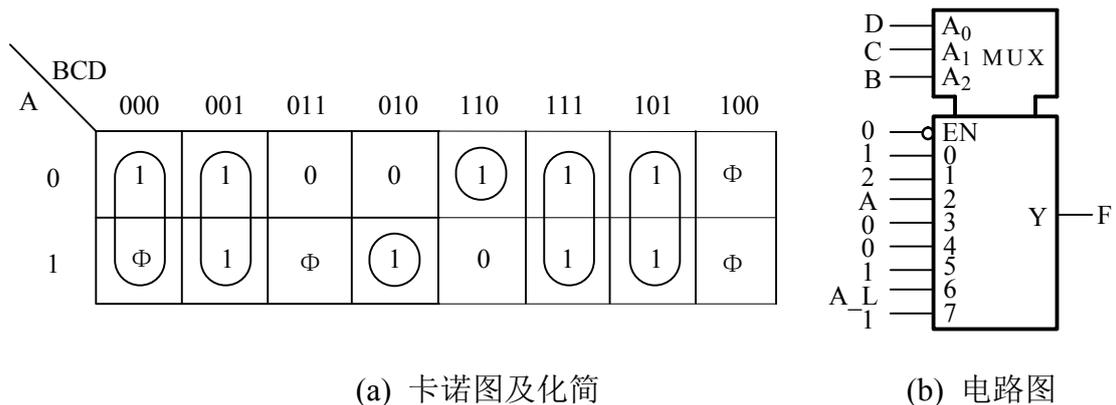


图 9 八选一数据选择器实现例 5-8 的卡诺图和电路图

【例 5-9】用四位二进制加法器 74x283 设计四位二进制加法/减法器。

【解题指导】要实现加法和减法双重功能，需要有功能选择信号，用 M 表示。

并设 $A=A_3A_2A_1A_0$ 为四位二进制被加数（或被减数）， $B=B_3B_2B_1B_0$ 为四位二进制

加数（或减数）。当 $M=0$ 时，电路实现 $A+B$ 的加法运算；而当 $M=1$ 时，电路实现 $A-B$ 的减法运算。

【解答】

减法运算用补码实现，所以有 $A-B = A+(-B) = A+B'+1$ ，即将减法运算变成了加法运算，但减数 B 的各位应该为原数值位的非。考虑到异或门的特性，即 $1\oplus B = B'$ ，而 $0\oplus B = B$ 。所以通过四位加法器和异或门可以实现加法器/减法器。如图 10 所示。

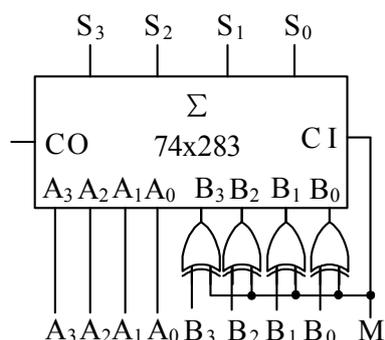


图 10 例 5-9 题解

【例 5-10】用四位二进制加法器 74x283 实现 8421BCD 码与余 3 码(Excess-3 Code) 的转换。

【解题指导】8421BCD 码到余 3 码的转换只需要将 8421BCD 码加 0011；而余 3 码到 8421BCD 码的转换则将余 3 码加 1101，并将进位丢掉。

【解答】

设 8421BCD 码 $A=A_3A_2A_1A_0$ ，余 3 码 $Y=Y_3Y_2Y_1Y_0$ 。从第一章的码制可知，给定数值的余 3 码总比 8421BCD 码多 3，即

$$Y_3Y_2Y_1Y_0 = A_3A_2A_1A_0 + 0011$$

相应地，8421BCD 码则比余 3 码少 3，即

$$A_3A_2A_1A_0 = Y_3Y_2Y_1Y_0 - 0011 = Y_3Y_2Y_1Y_0 + 1101 \quad (\text{四位二进制的模为 } 16)$$

因此，设计如图 12 所示。

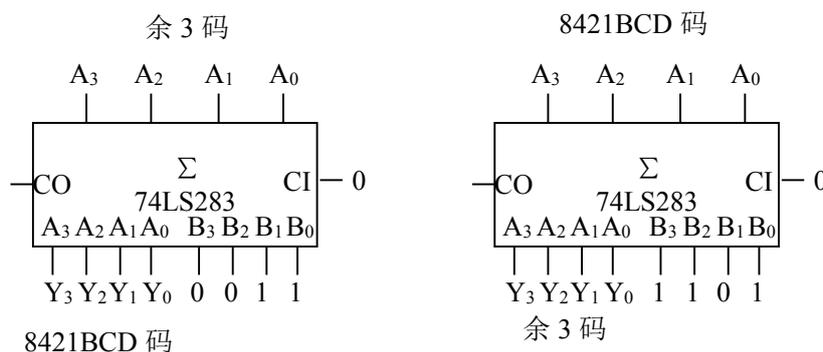


图 12 例 5-10 题解

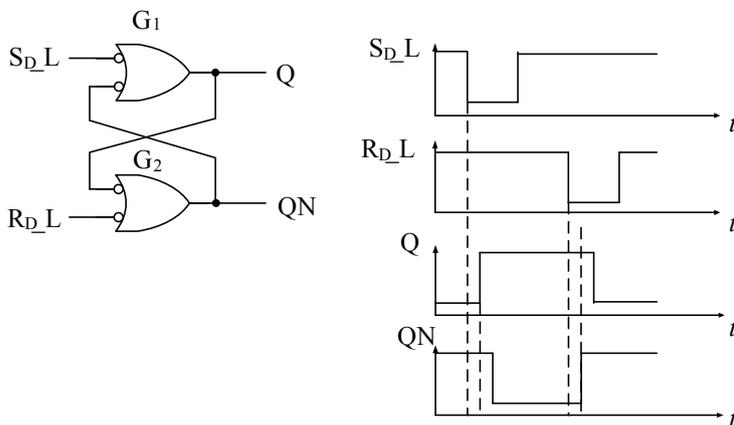
第六章 触发器

【例 6-1】 图为由与非门组成的 S-R 锁存器，输入端 S、R 波形如例图 6-1 所示，试画出输出端 Q，QN 的波形图，要求画出门电路的延迟关系。

【解题指导】

设触发器的初始状态为 $Q=0$ 、 $QN=1$ ，输入信号波形如图所示。当 S 的下降沿到达后，经过门 G1 的传输延迟时间 t_{pd} ，Q 端变为高电平。这个高电平加到门 G2 的输入端，再经过门 G2 的传输延迟时间 t_{pd} ，使 QN 变为低电平。当 QN 得低电平反馈到 G1 的输入端以后，即使 $S=0$ 的信号消失（即 S 回到高电平），触发器被置成德 $Q=1$ 状态也将保持下去。可见，为保证触发器可靠地翻转，必须等到 $QN=0$ 的状态反馈到 G1 的输入以后， $S=0$ 的信号才可以取消。因此，S 的低电平信号宽度 t_w 应满足 $t_w \geq 2t_{pd}$ 。同理，如果 R 端输入置零信号，其宽度也必须大于等于 $2t_{pd}$ 。

【解答】

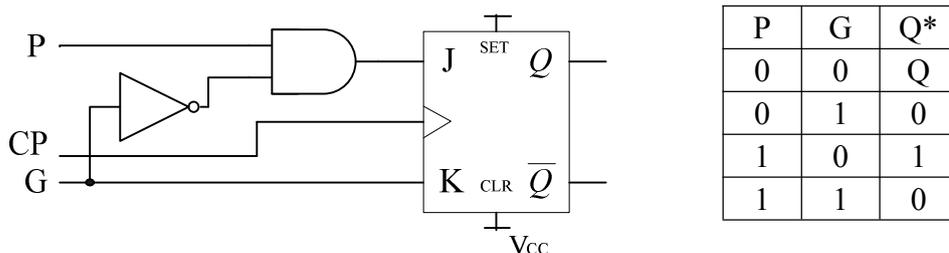


例图 6-1

【例 6-2】 设一种称为 PG 触发器的功能表如表所示。请用 JK 触发器加逻辑门来实现这个 PG 触发器。画出逻辑图。

【解题指导】 知识点为考查触发器逻辑功能的转换，只是这次是将 JK 触发器转换成需要设计的 PG 触发器。

【解答】 根据 PG 触发器的功能表，可以画卡诺图，得出其特性方程为 $Q^* = P'G'Q + PG'Q + PG'Q'$ ，对照 JK 触发器的特性方程 $Q^* = JQ' + K'Q$ ，可将 PG 特性方程写成 $Q^* = (P'G' + PG')Q + PG'Q'$ ，则可得出要用 JK 触发器实现 PG 触发器，只需将 J 连 $P\bar{G}$ ，K 连 G 即可。

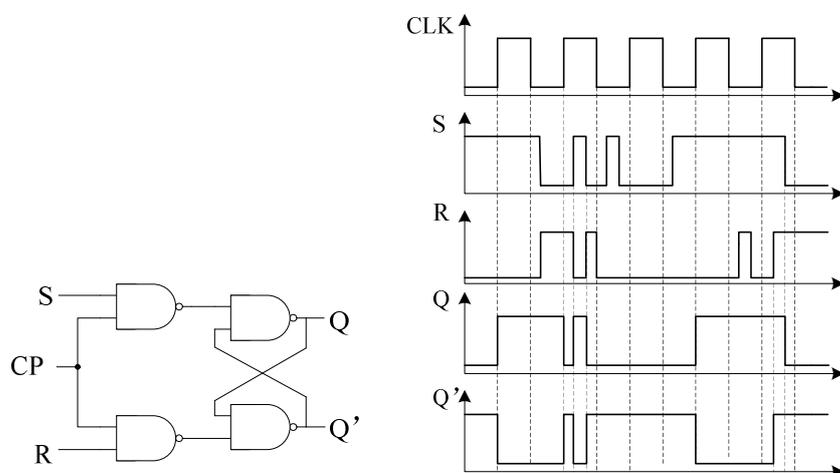


例图 6-2

【例 6-3】如图所示电路，若 CLK、S、R 的电压波形如图中所示，试画出 Q 和 Q' 端与之对应的电压波形。假定触发器的初始状态为 Q=0。不考虑门的延迟关系。

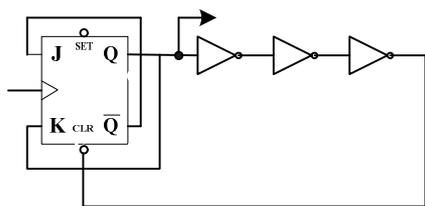
【解题指导】本例电路是由 4 个与非门构成的同步 RS 触发器。门 G1,G2 构成基本触发器，门 G3,G4 为导引门，接收同步信号 CP 和输入的激励信号 S。当 CP=0 时，导引门关闭，触发器不受激励信号的作用而保持原状态不变。当 CP=1 时，导引门开启，激励信号引入基本 RS 触发器，Q 和 Q' 的状态将随激励信号的取值变化而变化。若 SR=00，则触发器状态保持；若 SR=01，则触发器状态置 0；若 SR=10，则触发器状态置 1；若 SR=11，则触发器状态 Q 和 Q' 同时为 1；若 S、R 同时消失，则触发器状态就不能确定。由于在 CP=1 期间 S、R 信号的变化都将引起触发器状态的相应变化，也就是说，触发器状态可能发生多次转换，形成空翻而降低了触发器的抗干扰能力，这在实际应用中是不允许的。

【解答】依题意分析，画出 Q 和 Q' 的电压波形如图所示。



例图 6-3

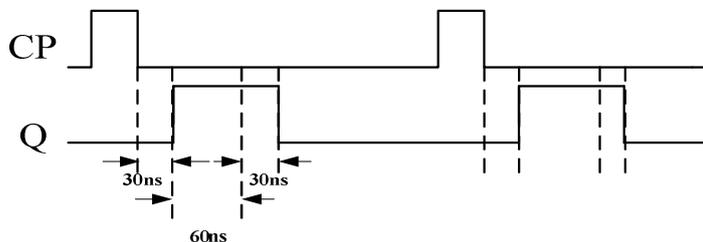
【例 6-4】电路如图所示。设门的延迟时间为 20ns，JK 触发器的延迟时间为 30ns，时钟脉冲 CP 的时间间隔远大于输出脉冲的宽度。试问输出脉冲 VO 的宽度是多少？



例图 6-4

【解题指导】：本例电路 JK 触发器接成计数器工作方式。如果 CLR'=1，假设触发器初态为 0，J 接 Q'，K 接 Q，则在 CP 信号作用下状态可以连续翻转。CLR' 的生成是将 JK 触发器经 3 个非门反相并延迟后得出。假设触发器初态为 0，Vo=0，则经 3 个非门反相、延迟后使 CLR'=1。一旦 CP 信号下降沿到达，触发器状态经 30ns 延迟后转换为 1，即 VO=1。又经 3 个非门反相、延迟后使 CLR'=0，随即将触发器复位，经 30ns 延迟后状态回到初态，即 VO=0。此后，再经过 3 个非门反相、延迟又使 CLR'=1，从而解除了对触发器的复位作用。电路又可等待下一个 CP 信号的到来，重复上述过程。只要将电路中各个环节的延迟时间进行计算，就可得出脉冲 VO 的宽度。

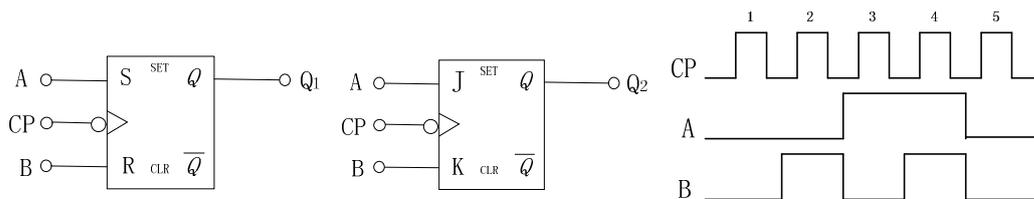
【解答】依照题意分析，触发器输出 VO 的脉冲宽度，从 CP 信号下降沿到达经 30ns 延迟，触发器状态转换为 1 后计算，此时 VO = 1。VO 信号经 3 个非门的传输延迟即 60ns 后使 CLR' = 0，触发器复位。30ns 延迟后触发器完成状态复位，VO = 0。因此，输出脉冲 VO 的宽度应为 90ns。这一关系如图所示。



例图 6-5

【例 6-5】图所示电路分别为主从型 RS 触发器和 JK 触发器的逻辑框图，输入信号波形如图所示，试画出两种触发器 Q 端的波形。

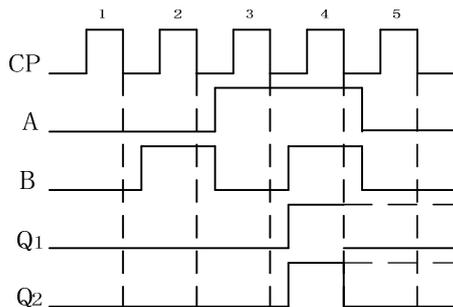
【解题指导】主从触发器是为了满足实际应用的要求，即触发器在每个 CP 信号作用期间，状态只能变换一次而采用的一种有效结构。



例图 6-6

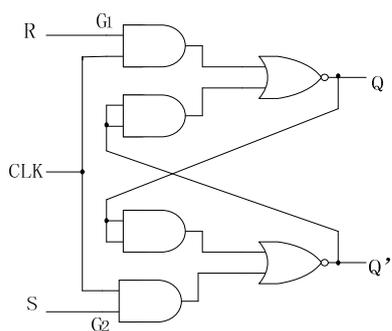
这种结构的触发器，在没有置位、复位信号作用时，由 CP 信号和激励信号控制其状态的转换。在 CP 信号上升沿到来时，主触发器对激励信号采样，从触发器关闭原状态不变，而当 CP 信号下降沿到来时，主触发器关闭，从触发器依照主触发器的采样输出进行状态转换。也就是说，CP 信号决定触发器状态何时转换，而激励信号决定触发器状态如何转换。依据这一关系就可正确地画出触发器输出端 Q 的波形。

【解答】依照题意分析，画出两个触发器 Q 端的波形如图所示。第 1 个 CP 下降沿到来，A=0,B=0,Q1=0,Q2=0；第 2 个 CP 下降沿到来，A=0,B=1,Q1=0,Q2=0；第 3 个 CP 下降沿到来，A=1,B=0,Q1=1,Q2=1；第 4 个 CP 下降沿到来，A=1,B=1，但因 RS 触发器对 R 和 S 的取值赋值有约束条件，即 R, S 不能同时为 1，否则可能出现触发器状态不定的情况。如本例第 4 个 CP 信号作用时状态不定。而 JK 触发器其 J, K 的取值不受任何约束，因此更具工程实用价值。



例图 6-7

【例 6-6】试分析图所示电路的逻辑功能，列出真值表，写出逻辑表达式。



S	R	Q	Q*
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	不定
1	1	1	不定

例图 6-8

【解题指导】当 CLK = 0 时，门 G1、G2 关闭，故输入信号不影响输出状态，Q 和 Q' 不变。当 CLK = 1 时，门 G1、G2 开启，使 R、S 信号输入到由或非门构成的基本 RS 触发器上，Q 和 Q' 随输入而变化。其真值表如表所示。

【解答】CLK = 1 时，真值表如表所示。

由上述真值表可得 Q 的表达式为 $Q^* = S + R'Q$

$$SR = 0 \quad \text{约束条件}$$

【例 6-7】请示出如何用带有使能端的 D 触发器和组合电路来构造 T 触发器。

【解题指导】

目前市场上出售的集成触发器从功能上看，大多是 JK 和 D 触发器。在实际工作中，经常需要利用手中现有的触发器完成其他触发器的逻辑功能，这就需要不同功能的触发器进行转换。转换依据是转换前后的状态方程相等。转换方法有两种：公式法和真值表法。

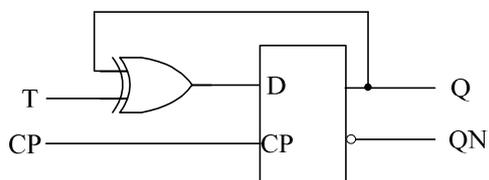


图 D 触发器至 T 触发器的转换

例图 6-9

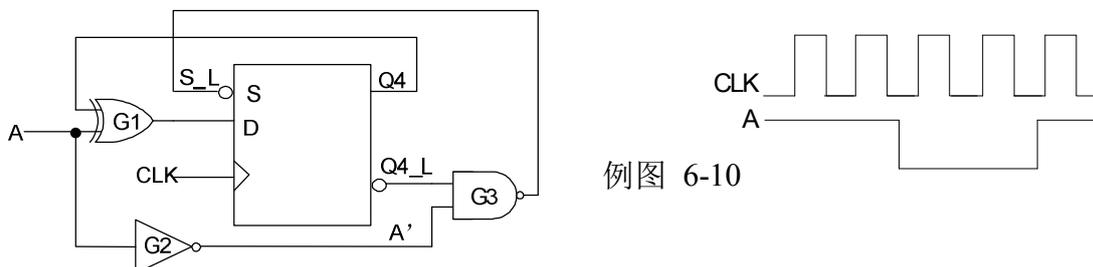
【解答】在 CP=1 时，T 触发器特征方程 $Q_T^* = TQ' + T'Q = T \oplus Q$

该等式右边与 D 触发器特征方程 $Q_D^* = D$ 右边相等，得到 $D = T \oplus Q$ 。

于是可得 D 触发器转换成 T 触发器的电路如图所示。

【例 6-8】如下图例图 6-10 所示，设电路初始状态均为 0，根据所给的输入波形画出 Q4 的波形来。

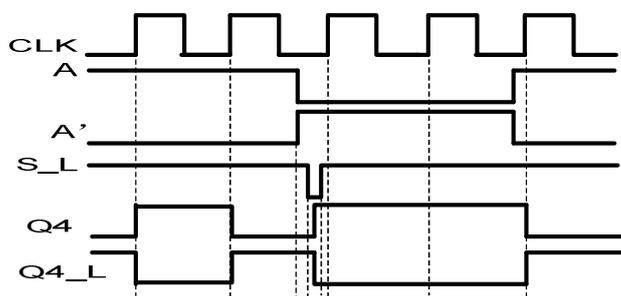
注意只需考虑触发器和与非门 G3 的传输延迟时间。



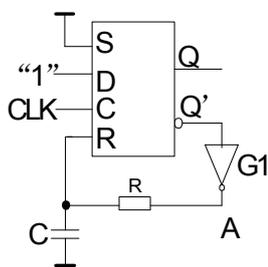
例图 6-10

【解题指导】 (1)由图可知, 有 $D = A \oplus Q_4, S_L = (A' \cdot Q_4_L)'$, 根据前面两个式子画出 Q_4 的波形。 $Q_4^* = D = A \oplus Q_4$ 。(2)先注意画 S_L 的波形, 只要 A' 为 0, S_L 即为 1, A' 为 1, 则看 Q_4_L , $A'=1$, 且 $Q_4_L=1$ 时, 考虑到触发器的传输延迟, $S_L=0$ 出现的时间比 A' 的变化稍延后一点; $S_L=0$ 使触发器置 1 的时间又比 $S_L=0$ 出现的时间稍延后一点。考虑到与非门 G_3 的传播延迟, 触发器置 1, 使 $Q_4_L=0$, 再经 G_3 使 S_L 回到 1 也稍有延迟, 故 S_L 波形为很窄的脉冲。

【解答】



【例 6-9】 如下图例图 6-11 所示, 触发器为 CMOS 电平触发的 D 触发器 (锁存器), 试分析电路的工作原理并画出 Q 端及复位端 R 的波形关系图。



例图 6-11

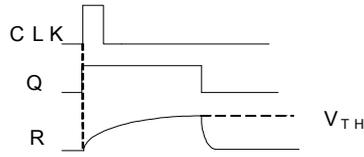
【解题指导】 此题为模拟电路和数字电路中的触发器共同应用的混合型题目。

(1)例图 6-11 中触发器是在 CLK 为高电平期间, Q 随 D 变化, 由于 $D=1$, 则 $Q=1, A=1$, 经电阻 R 向电容 C 充电, 使触发器的复位端 R 的电位逐渐升高。当 R 端达到 CMOS 门的阈值电压 V_{TH} 时, 触发器复位, Q 端由高电平变为低电平, 从而使 Q' 变为“1”, A 变为“0”, 电容 C 又经 R 和非门 G_1 内的输出管到地放电, 使 R 端逐渐回到低电平, 触发器等待下一次时钟高电平的到来, 波形如例图 6-12 所示。

(2)在本例中, CMOS 触发器的输入输出特性与 CMOS 反相器的输入输出特性相同, CMOS 输入端的输入电平超过 CMOS 非门的阈值电压 V_{TH} 时, 均可视为逻辑“1”。对于 TTL 触发器同样如此, 当 TTL 输入端的输入电平超过 TTL 非门的阈值电压 V_{TH} 时, 均可视为逻辑“1”输入。两者不同的是其阈值电压不同, CMOS

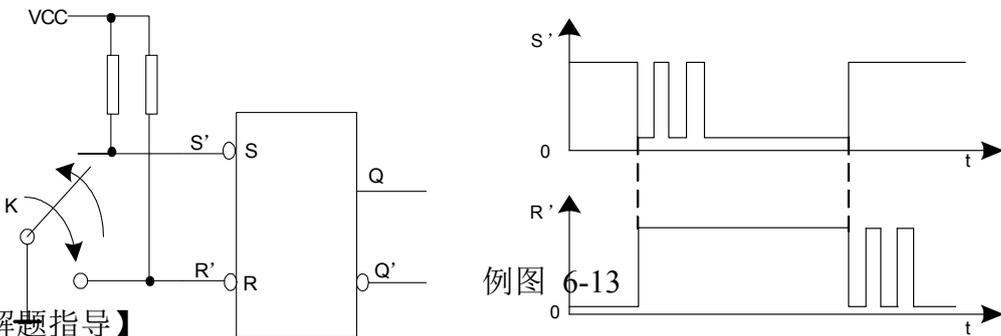
的阈值电压 V_{TH} 与电源有关，具体应查阅器件手册，而 TTL 的 V_{TH} 基本是固定的，约在 $1\sim 1.4V$ 之间（与器件的系列有关，通常用 $1.4V$ 做电路分析）。

【解答】



例图 6-12

【例 6-10】例图 6-13 所示为一个防抖动输出的开关电路。当拨动开关时，由于开关触点接通瞬间发生震颤， SD' 和 RD' 的电压波形如图中所示，试画出 Q 、 Q' 端的电压波形。

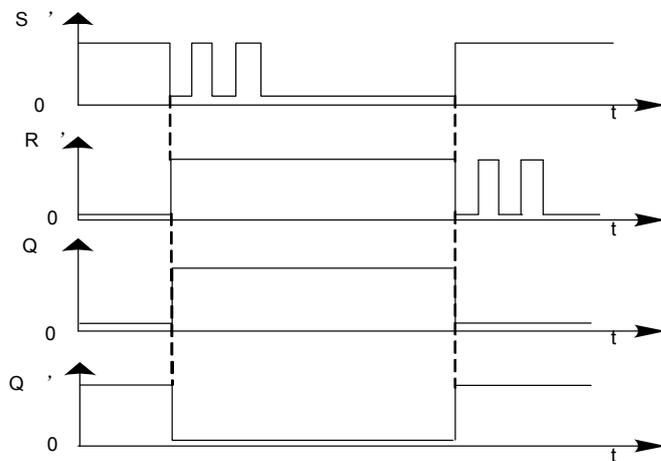


【解题指导】

(1)当开关 K 与触发器的 S' 端接通的瞬间，由图 3 可见， S' 端由高变低的过程中出现断断续续的毛刺，当 S' 第一次变为低电平时，此时的 R' 端保持高电平，此时 $Q=1$ 。由于 S' 的抖动，使 S' 又回到高电平，这时 $S'=R'=1$ ，因此 Q 保持“1”态不变。

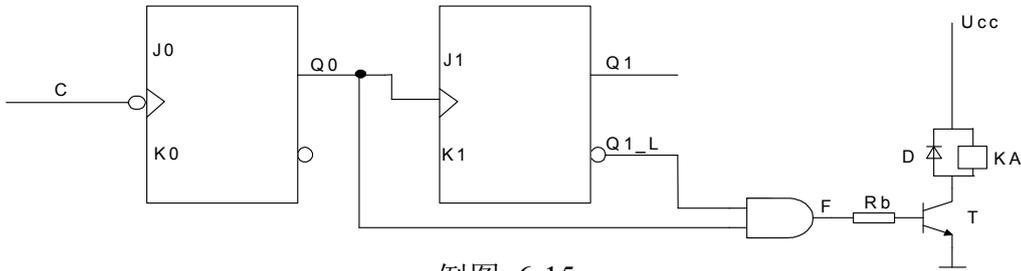
(2)同理，当 S 与 R' 端接通出现毛刺电压时， R' 第一次回到低电平， $R'=0$ ， $S'=1$ ，使 $Q=0$ 。当由于 R' 的抖动，使 R' 又回到高电平时， $S'=R'=1$ ， Q 保持“0”态不变，即 R' 的抖动在 Q 端无反应，因此该电路为防抖电路。

【解答】 Q 与 Q' 的波形图如例图 6-14 所示。



例图 6-14

【例 6-11】 已知逻辑电路例图 6-15 中的 C 脉冲波形，试画出 Q0、Q1_L 及 F 的波形图。设 Q0、Q1 初态均为“0”，若 C 脉冲的周期是 1S，试求继电器 KA 线圈每次通电的时间。



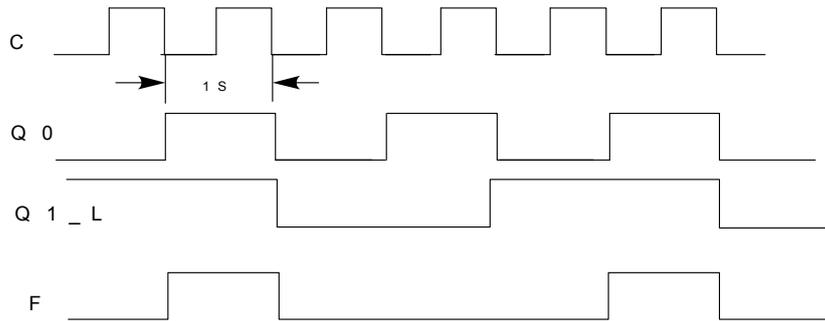
例图 6-15

【解题指导】

此题为 2003 年南京航空航天大学研究生考试题目，考察学生对触发器组成电路以及模拟电路的综合分析能力。

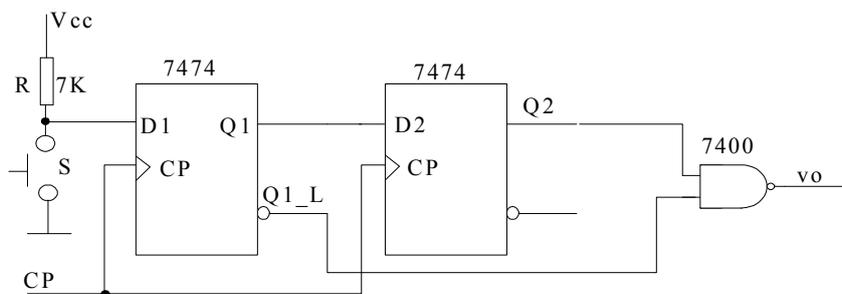
根据图中 $J_0=K_0=J_1=K_1=1$ ，两个 JK 触发器都在翻转状态。当 C 的下降沿到来时，Q0 翻转，当 Q0 的下降沿到来时，Q1 翻转，而 $F = Q_0 \cdot Q_{1_L}$ ，因此可画出在 C 作用下的波形，如例 6-16 所示。若 C 的周期是 1S，由波形图可知，F 的每次高电平时间为 1S。当 $F=1$ 时，三极管才导通，KA 线圈通电，所以 KA 线圈每次通电的时间为 1S。

【解答】



例图 6-16

【例 6-12】 例图 6-17 为一级同步单脉冲发生器。试按如图所示的控制波形 S 画出 Q1、Q2 和输出 vo 的波形图。

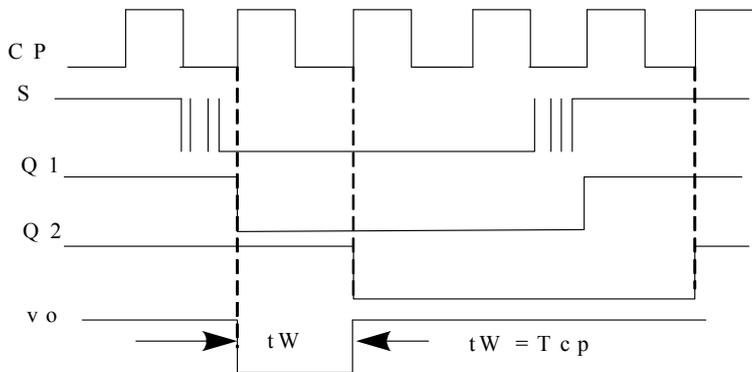


例图 6-17

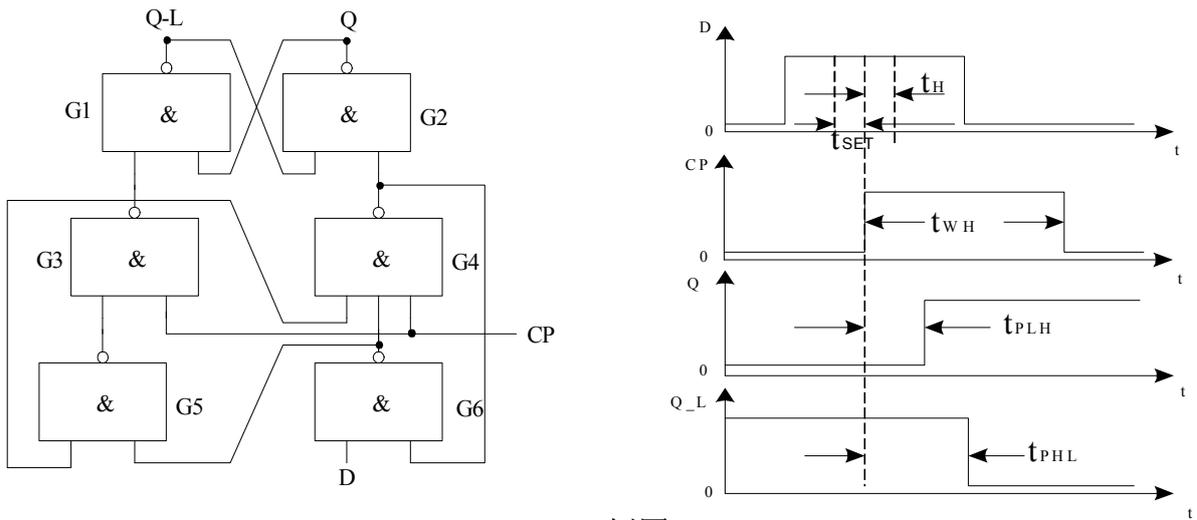
【解题指导】

如上例图 6-17 所示，每按一次键不放，就将低电平送入 D1 端，在第二个时钟上升沿到来时，D1 已经稳定为“0”，所以 Q1 为“0”，此时输出 v_o 在与非门作用下变为“0”。Q2 在第三个时钟上升沿将 D1 状态输出，此时输出 v_o 在与非门作用下变为“1”。则形成了一个负向的单脉冲输出。松开按键，则将 D1 至高电平，如后面时钟上升沿到来，则 Q1=1，Q2 再延迟一个时钟周期变为“1”。此电路为实用性很强的单脉冲产生电路，如要产生正向单脉冲，只须按键按下时，向 D1 送入高电平即可。

【解答】



【例 6-13】 分析例图 6-18 触发器电路的动态输出波形。



例图 6-18

【解题指导】

(1) 建立时间

CP 信号加在门 G3、G4 上，而输入激励信号 D 加在门 G6 上。在 CP 信号上升沿

到来之前，要求门 G5 和 G6 输出状态必须稳定的建立起来，才能保证触发器状态正确的转换。实际上，在输入激励信号到达 D 端之后，要经过一级门的传输延迟时间门 G6 的输出才建立，门 5 的输出状态则需要经过两级门的传输延迟时间才能建立，因此 D 端的输入信号必须先于 CP 时钟信号上升沿到达，所需时间称为建立时间，记为 t_{SET} ，若每个门的传输延迟时间均相等，记为 t_{PD} ，则有

$$t_{SET} \geq 2t_{PD}。$$

(2)保持时间

保持时间是指输入激励信号 D 加入后，CP 信号上升沿到达，为使触发器状态能可靠地转换，D 信号应保持不变，直到 D 信号失去其激励作用。因此，在 CP 信号上升沿到达至门 G3、G4 建立稳定输出的一段时间，即是 D 信号的保持时间，记为 t_H ，则有 $t_H \geq t_{PD}。$

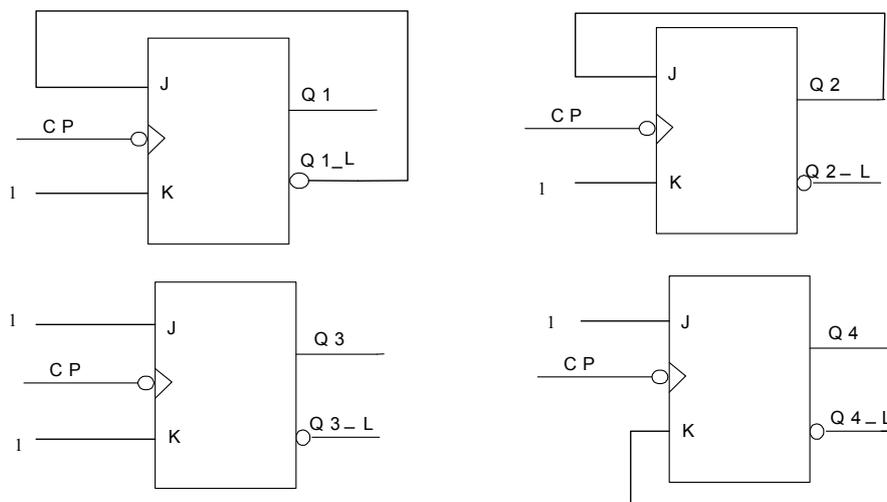
(3)传输延迟时间

在确保输入激励信号 D 的建立和保持作用下，触发器状态即可正常地转换。传输延迟时间表明在 CP 信号上升沿到来后，触发器输出端由高电平变为低电平和由低电平变为高电平所需的时间，分别为： $t_{PHL} = 3t_{PD}$ $t_{PLH} = 2t_{PD}$

(4)最高时钟频率

由以上分析可知，在 CP 信号低电平持续期间（记为 t_{WL} ），输入激励信号 D 建立，在 CP 信号高电平持续期间（记为 t_{WH} ），触发器状态进行转换。因此 $t_{WL} \geq t_{SET}$ ，而 $t_{HL} \geq 2t_{PHL}$ 。由此可得 CP 信号的最小周期为 $t_{min} = t_{WL} + t_{WH} \geq 5t_{PD}$ ，最高时钟频率为 $f_{max} \leq \frac{1}{5t_{PD}}$ 。

【例 6-13】 电路如例图 6-19 所示，设各触发器的初态为 0，画出在时钟 CP 作用下的 Q 端波形。



例图 6-19

【解题指导】由 JK 触发器的特征方程 $Q^* = JQ' + K'Q$ 可以写出各触发器的特征方程分别为

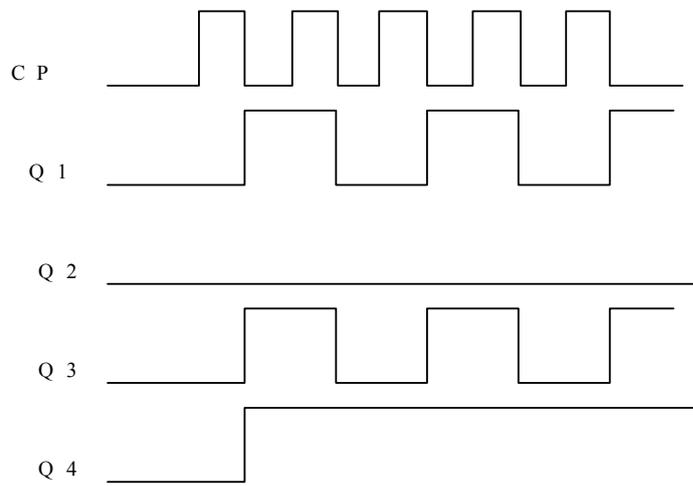
$$Q_1^* = JQ_1' + K'Q_1 = Q_1'$$

$$Q_2^* = Q_2 + Q_2' = 0$$

$$Q_3^* = Q_3'$$

$$Q_4^* = Q_4' + Q_4 = 1$$

各触发器均为下降沿触发，得出 Q 端的波形图例图 6-20 所示。



例图 6-20

第七章 时序逻辑电路原理

【例 7-1】已知某状态机的状态/输出表，试画出其状态图，并写出在初始状态为 A，输入 X 在时钟有效边沿取值依次为 11010101001011 时对应的输出 Z 的序列。

		X		
S	0	1	Z	
A	A	B	0	
B	C	B	0	
C	A	D	0	
D	C	B	1	
				S*

【解题指导】

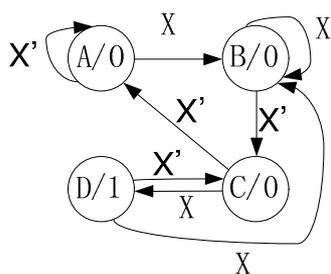
(1) 状态图是以图形的方式表示状态/输出表中的信息。由状态/输出表画出状态图的步骤为：1) 对应表中的每一个状态用带圈的状态名表示；2) 表中的每一个转移用一个箭头表示，箭头的起点为该转移的原状态（表中 S 对应的列），终点为该转移的新状态（表中 S*对应的列）。箭头上标注发生该转移的条件，同时应标出在给定状态和输入组合条件下的输出值；对 MOORE 机来说，由于输出只与状态有关，所以输出值可以标在对应状态的圆圈里。

(2) 根据状态转移表，次态由当前状态和输入信号决定；当初始状态和输入信号值给定后，根据状态表能够很容易地依次得到后续的状态序列。

(3) 这是一个 Moore 机，信号输出只与当前的状态有关，与输入信号无关，因此只要写出状态转换序列，就能根据当前状态得到对应的输出。如果是 Mealy 机，根据当前的状态和输入，也能得到对应的输出。

【解答】

该状态机的状态图为：



在初始状态为 A，输入 X 在时钟有效边沿取值依次为 11010101001011 时输出 Z 的序列：

X:	1	1	0	1	0	1	0	1	0	0	1	0	1	1	
S:	A	B	B	C	D	C	D	C	D	C	A	B	C	D	B
Z:	0	0	0	0	1	0	1	0	1	0	0	0	0	1	0

【例 7-2】分析图 6-1 中的时钟同步状态机，写出激励方程、激励/转移表，以及状态/输出表。（状态 $Q_2Q_1Q_0=000—111$ 使用状态名 A—H）。

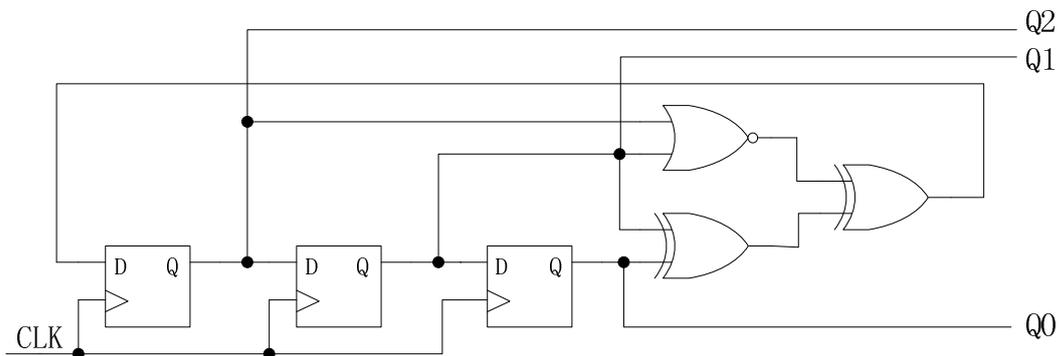


图 6-1

【解题指导】

基于触发器的时钟同步时序电路的分析步骤为：

1) 确定系统中的变量：输入变量、状态变量和输出变量。如果变量在逻辑图里不明确，就给他们分配名字。

2) 确定触发器类型。写出时序电路中所用触发器的特征方程。（时序机可能使用不止一种类型的触发器，因此一个电路可能需要几个不同的特征方程）。

3) 由逻辑电路图写出输出方程和激励方程（均为组合方程）；

4) 利用触发器特征方程和电路激励方程为每个状态变量写出次态函数表达式。

5) 写出输出变量函数，确定该电路是 Mealy 机还是 Moore 机（这在构造状态表和状态图时有用）。

6) 根据次态方程表达式和输出方程表达式构造转移/输出表（以当前状态和输入为变量），由给定的状态变量数标识所有可能出现的状态编码。

7) 为每个状态编码分配名字，并构造状态表或状态图。

8) 如果可能的话, 构造时序图。

由图 6-1 可知, 所有 D 触发器的时钟端均接在外部输入时钟端 CLK 上, 该电路为时钟同步时序电路, 所以按照时钟同步时序电路的分析流程进行, 将 Q0、Q1、Q2 对应的触发器输入端标为 D0、D1、D2。

【解答】

由电路图可得激励方程:

$$D2 = (Q1 \oplus Q0) \oplus (Q1 + Q2)' = (Q1 \oplus Q0) \oplus (Q1' \cdot Q2')$$

$$D1 = Q2$$

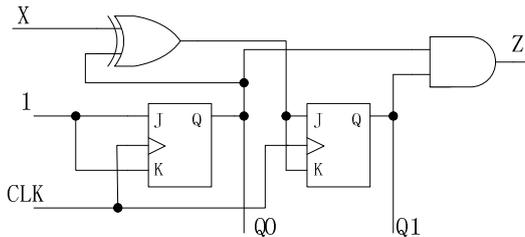
$$D0 = Q1$$

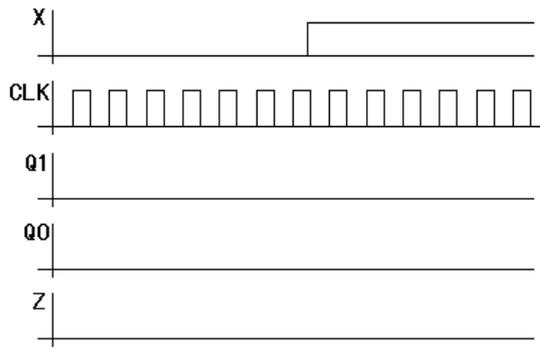
由激励方程可得:

激励/转移表:		状态表:	
Q2Q1Q0	D2D1D0(Q2*Q1*Q0*)	S	S (S*)
000	100	A	E
001	000	B	A
010	101	C	F
011	001	D	B
100	010	E	C
101	110	F	G
110	111	G	H
111	011	H	D

将状态编码 Q2Q1Q0=000~111 分别对应状态 A~H, 可得状态表。由状态表可知, 图 6-1 种电路的状态转换为: A→E→C→F→G→H→D→B→A→..., 每隔八个状态循环一次, 称为模 8 计数器。其状态转换有时也可表示为 0→4→2→5→6→7→3→1→0→...

【例 7-3】分析下图所示的电路, 写出激励方程和输出方程, 完成转移输出表, 画出状态转换图, 并完成给定的时序图 (设初始状态为 0)。





【解题指导】 对于一般的时钟同步时序电路分析，只要按照同步时序电路分析的步骤进行，就可以完成对电路的分析。时序电路分析的基本步骤包括：1.根据电路图，写出电路的激励方程和输出方程；2.写出状态转移方程；3.列出状态输出表和/或状态图；4.根据状态输出表或状态图分析电路的功能。

在分析本例时，首先将 Q0、Q1 对应的触发器输入端标为 J0、K0、J1、K1，然后按照时序电路分析的步骤进行。

绘制时序图时，首先可以根据触发器的触发边沿在图中对应位置画出虚线，虚线之前的为原状态，根据状态转移表得到的下一状态 (Q1Q0)，在触发沿之后画出；这样就可以依次画出状态的变化，状态只可能在触发器的触发边沿发生改变。然后再根据当前状态和当前输入确定当前输出。

【解答】

(1) 由电路图得到激励方程和输出方程：

$$J0=K0=1; J1=K1=X\oplus Q0; Z=Q0\cdot Q1$$

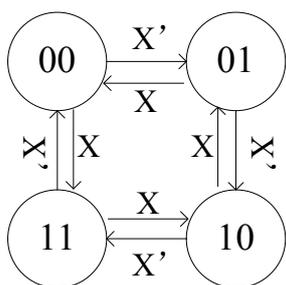
(2) 转移方程式：

$$Q0^*=J0\cdot Q0'+K0'\cdot Q0=Q0' \quad Q1^*=J1\cdot Q1'+K1'\cdot Q1=(X\oplus Q0)\cdot Q1'+(X\oplus Q0)'\cdot Q1$$

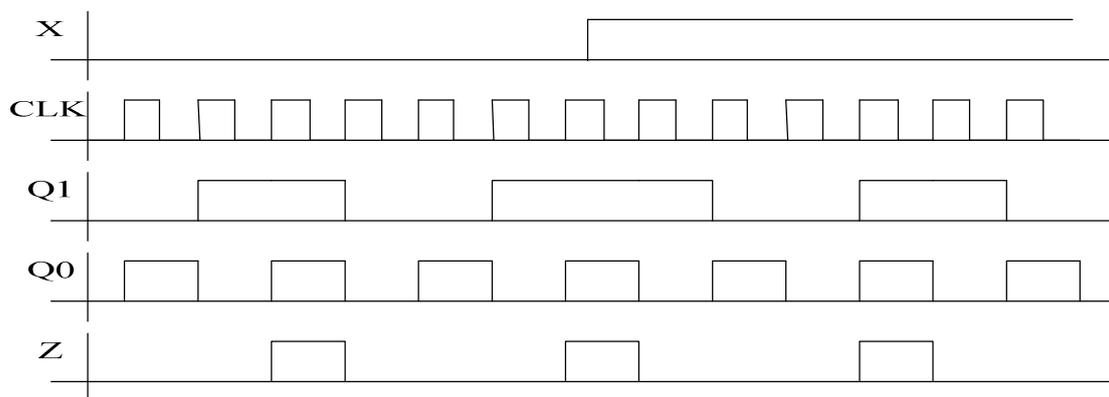
(3) 转移/输出表：

Q1Q0	X		Z
	0	1	
00	01	11	0
01	10	00	0
10	11	01	0
11	00	10	1
	Q1*Q0*		

(4) 状态转换图:



(5) 电路时序图



【例 7-4】 试分析下图所示电路的逻辑功能。当 START 信号为 ‘0’ 时，触发器 74X74 状态被置为零。

- (1) 求出电路的激励方程，输出方程；
- (2) 建立转换/输出表和状态/输出表，用 S_0, S_1, S_2, S_3 表示 $Q_2Q_1=00, 01, 10, 11$ 。

【解题指导】 由图可知这是个时钟同步时序电路，分析仍可以按照同步时序电路的分析步骤进行。只是因为次态函数产生部分用到了 MSI 组合器件 74x138，因此写激励方程时要引入 74x138 的输出关系表达式。

【解答】

1) 由图可知激励方程为:

$$D1 = \sum_{B,A,Q2} (1,2,4,7), \quad D2 = \sum_{B,A,Q2} (3,5,6,7)$$

2) 输出方程为:

$$Y=Q1, \quad Z=Q2$$

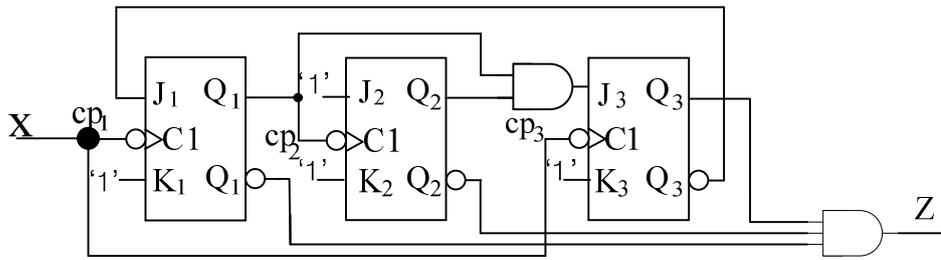
3) 转换/输出表:

Q2Q1	BA				Z	Y
	00	01	10	11		
1						
00	00	01	01	10	0	0
01	00	01	01	10	0	1
10	01	10	10	11	1	0
11	01	10	10	11	1	1
	Q2*Q1*					

4) 状态/输出表:

S	BA				Z	Y
	00	01	10	11		
S0	S0	S1	S1	S2	0	0
S1	S0	S1	S1	S2	0	1
S2	S1	S2	S2	S3	1	0
S3	S1	S2	S2	S3	1	1
	S*					

【例 7-5】分析下图中的状态机，写出激励方程、激励/转移表，以及状态/输出表，并分析电路的逻辑功能。



【解题指导】电路中的触发器不是由同一个时钟信号所控制，这种时序电路称为时钟异步状态机，又称为异步时序电路。因为触发器的状态更新有先有后，因此在分析时钟异步状态机时，关键是看不同触发器的时钟信号何时到达，从而确定触发器的状态是否更新。在具体分析时钟异步状态机时，首先要确定各个触发器的控制时钟，然后写出给定电路的输出方程、触发器的激励方程和特征方程，最后根据各触发器的控制时钟 CP 是否到达，求出在给定输入变量状态和电路状态下，状态机的次态和输出。

【解答】

(1) 由电路图写出触发器激励方程和电路输出方程：

$$J_1=Q_3' \quad K_1=1 \quad cp_1=x \quad (1 \rightarrow 0)$$

$$J_2=K_2=1 \quad cp_2=Q_1 \quad (1 \rightarrow 0)$$

$$J_3=Q_1Q_2 \quad K_3=1 \quad cp_3=x \quad (1 \rightarrow 0)$$

$$Z=Q_1' \cdot Q_2' \cdot Q_3$$

由上式可知，触发器 1 的翻转时刻是在 x 从 1 跳变到 0 的时刻；触发器 2 的翻转时刻是在 Q₁ 从 1 跳变到 0 的时刻；触发器 3 的翻转时刻是在 x 从 1 跳变到 0 的时刻。

(2) 根据 JK 触发器的特性方程 $Q^* = J \cdot Q' + K' \cdot Q$ ，可以得到电路的次态方程为：

$$Q_1^* = Q_3' \cdot Q_1' \cdot cp_1 = Q_3' \cdot Q_1' \cdot x$$

$$Q_2^* = Q_2' \cdot cp_2 = Q_2' \cdot Q_1$$

$$Q_3^* = Q_1 \cdot Q_2 \cdot Q_3' = Q_1 \cdot Q_2 \cdot Q_3' \cdot x$$

在上面的次态方程中，以小写的 cp 表示时钟信号。因为对于时钟异步电路来说，各个触发器状态的改变是在各自的触发脉冲到达时，所以在写各触发器的次态方程时必须反映出时钟脉冲。或者说，应将时钟脉冲 cp 作为输入逻辑变量写入触发器的次态方程，以此说明各个状态发生变化的条件。对下降沿动作的触

发器而言， $cp=1$ 表示时钟输入端有下降沿到达；对上升沿动作的触发器而言， $cp=1$ 表示时钟输入端有上升沿到达。 $cp=0$ 表示没有时钟信号到达，触发器保持原来的状态不变。

上面的次态方程表达式均由两部分组成：前一部分决定各触发器状态转换后的值，后一部分决定各个触发器转换的时刻，两部分之间是“与”的关系。

(3) 确定状态转移/输出表：

作状态转移表的方法和同步时序电路相似：先建立状态表表格，根据状态变量列出所有状态变量的取值组合，再将每一组取值代入状态表达式，求出次态值。需要注意的是，由于电路中各触发器将按照各自的时钟脉冲的有无进行翻转，而且常常高位触发器的翻转依赖于低位触发器的翻转，因此在作状态表时，对于某一组现态，一般应先填写低位触发器的次态值，再依次填写高位的次态值。

比如，当现态 $Q_3Q_2Q_1=001$ 时，如输入脉冲 x 从 1 变为 0，则 Q_1 将从 1 变为 0， Q_3 的新值为 0，未发生变化； Q_1 从 1 变为 0 导致 Q_2 发生翻转，从 0 变为 1；所以若现态为 001，在输入脉冲 x 的下降沿后，电路的次态变为 010。

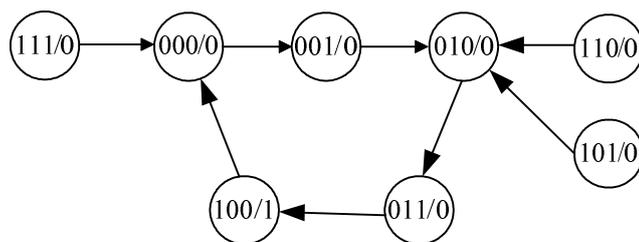
得到的状态转移/输出表为：

状态转移/输出表

x	$Q_3 Q_2 Q_1$	$Q_3^* Q_2^* Q_1^*$	Z
1	0 0 0	0 0 1	0
1	0 0 1	0 1 0	0
1	0 1 0	0 1 1	0
1	0 1 1	1 0 0	0
1	1 0 0	0 0 0	1
1	1 0 1	0 1 0	0
1	1 1 0	0 1 0	0
1	1 1 1	0 0 0	0

(4) 确定状态转移/输出图

完整的电路状态转移/输出图如下图所示。



例 6-6 的状态转移/输出图

(5) 分析逻辑功能

由状态转移/输出图可知，该电路为一个异步 5 进制加法计数器，Z 为进位脉冲，该电路每 5 个时钟循环一次，且当第 5 个时钟作用后产生一个进位（Z 输出为 1）。

【例 7-6】试用 D 触发器和门电路设计一个状态转换为 $0 \rightarrow 2 \rightarrow 4 \rightarrow 1 \rightarrow 3 \rightarrow 0 \rightarrow \dots$ 的模 5 同步计数器。

【解题指导】时钟同步时序电路的设计可分为任务分析和逻辑综合两大步骤。任务分析的目的是建立状态转换图/表；逻辑综合的工作是建立简化的输出方程和激励方程，并画出逻辑电路图。

具体而言：任务分析的步骤为：

- 1) 由文字描述确定输入/输出端的数量，命名并赋值；
- 2) 确定状态数量并分别命名；
- 3) 逐步构造状态转换表（或状态转换图）；
- 4) 对状态进行分析，合并等价状态，使状态数目最小化；
- 5) 得出简化的状态转换表（或状态转换图）；

逻辑综合的步骤为：

- 1) 进行状态赋值；
- 2) 建立转移/输出表；
- 3) 由转移/输出表化简得出输出方程；
- 4) 选择触发器种类，由激励表化简得出激励方程；
- 5) 画出逻辑电路图；

一般说来，同步时序电路的设计应按上面步骤进行。但是，对于某些特殊的同步时序电路，由于状态数量和状态编码都已给定，上述设计步骤中的状态化简

和状态编码可以省略。

具体到本例，所要设计的计数器为同步时序电路，因为其状态转换关系其实已经给出，状态编码也已经确定，所以可以直接建立转移/输出表。状态存储器由 D 触发器实现，需要设计的是次态方程、激励电路和输出电路的逻辑表达式。

【解答】由要求可知，该电路需要的触发器个数为 3 个，用状态变量 $Q_2Q_1Q_0$ 表示，则该计数器的状态转换为 $000 \rightarrow 010 \rightarrow 100 \rightarrow 001 \rightarrow 011 \rightarrow 000 \rightarrow \dots$ ，写成转移/输出表为：

$Q_2Q_1Q_0$	$Q_2^*Q_1^*Q_0^*$	Z
000	010	0
001	011	0
010	100	0
011	000	1
100	001	0

用 D 触发器实现，因为 $Q^*=D$ ，所以激励表为：

$Q_2Q_1Q_0$	$D_2D_1D_0$	Z
000	010	0
001	011	0
010	100	0
011	000	1
100	001	0

若以最小成本方式实现，对 3 个未用状态编码 101、110、111，其下一个状态可为任意值，列出卡诺图并化简后可得：

$$D_2=Q_1 \cdot Q_0' \quad D_1=Q_2' \cdot Q_1' \quad D_0=Q_2+Q_1' \cdot Q_0$$

需要检查电路能否自启动，方法是对于每一个未用状态，计算出其下一个状态。如果在状态图中，未用状态没有围成一个环，就表明电路能够自启动。也就是说，不管状态机由于什么原因进入到这些未用状态时，都能够在经过若干个时钟周期后，重新进入正常的计数循环中。具体到本电路中，当 $Q_2Q_1Q_0=101$ ，可得下一状态为 001；当 $Q_2Q_1Q_0=110$ ，可得下一状态为 101；当 $Q_2Q_1Q_0=111$ ，可得下一状态为 001。也就是说，在最多两个周期后，电路能够由未用状态回到

计数器的主循环中，电路能够自启动。。

若以最小风险方式实现，令 3 个未用状态的下一状态为安全状态 000，可以得到电路的激励方程和输出方程为：

$$D_2=Q_2' \cdot Q_1 \cdot Q_0' \quad D_1=Q_2' \cdot Q_1' \quad D_0=Q_2 \cdot Q_1' \cdot Q_0' + Q_2' \cdot Q_1' \cdot Q_0$$

思考：若用最小风险方式实现，还需要检查电路能否自启动吗？

【例 7-7】试画出 010 序列检测器的状态图或状态表。已知此检测器的输入、输出序列如下：

1) 序列不可重叠

输入 X: 0 0 1 0 1 0 1 0 0 1 1 0 1 0 0

输出 Z: 0 0 0 1 0 0 0 1 0 0 0 0 0 1 0 0

2) 序列可重叠

输入 X: 0 0 1 0 1 0 1 0 0 1 1 0 1 0 0

输出 Z: 0 0 0 1 0 1 0 1 0 0 0 0 0 1 0 0

【解题指导】建立原始状态表（图）是设计时序逻辑电路最重要也是最具有挑战性的一步。根据文字描述的设计要求构造原始状态表（图），首先要分析题意，确定电路的输入、输出变量以及要求记忆的信息或事件（即状态）；然后根据不同的输入条件，确定状态之间的转换关系和电路的输出，由此构造电路的原始状态表（图）。在得到最终状态图之前，从问题的描述到状态图的翻译工作可能需要反复几次。在时序设计中构造状态图类似于在组合逻辑设计中构造真值表。

建立原始状态表的一般过程是：首先假定一个初始状态 A，从这个初始状态 A 开始，每加入一个输入，就可确定其次态和输出。该次态可能是现态本身，也可能是现在已有的另一个状态，或是新增加的一个状态。继续这个过程，直到每一种输入的可能性、每一个现态向其次态的转换都被考虑到，并且不再增加新的状态为止。

具体到本例中，根据题目的要求，电路要在连续收到 01 后再收到 0 才能输出 1，所以需要记忆收到了几位有效码，即没有一位有效码（即收到连续的 1），收到一位有效码（即收到一个 0），收到两位有效码（即收到 01），分别对应状态 S0, S1, S2。

开机后没有输入，也就是没有收到 0，电路处于状态 S0，若收到的最新的一

个输入为 1，电路的状态仍为 S0。即现在状态为 S0，输入为 1，则下一状态仍为 S0 状态，输入序列不满足要求，输出 Z=0；若输入为 0，则需要记忆已收到有效序列中的第一个‘0’，进入 S1 状态，Z=0。

若现在状态为 S1，表示已经收到一个有效位“0”，当输入信号为 0 时，则收到的“00”不可能是有效序列中的一段，但新收到的一个“0”可能是第一位有效码，所以回到状态 S1，Z=0；若输入 X=1，则收到序列“01”，这可能是有效序列的前两位，需要记忆下来，进入状态 S2。

若现在状态为 S2，表示已经收到两个有效位“01”，当输入信号为 1 时，则收到的“011”不可能是有效序列中的一段，回到状态 S0，重新等待第一个有效位的到来，Z=0；若输入 X=0，则表示收到序列“010”，这就是需要检测的有效序列，Z=1；如果序列可重叠，则最后收到的“0”可能是下一个有效序列的第一位，仍然需要记忆，所以下一状态为 S1。如果序列不可重叠，则回到初始状态 S0。

序列可重叠和不可重叠的两种状态机仅仅在全部收到有效码后的下一状态上有不同。

【解答】由给出的序列检测结果可以看出，两个状态机都是米立（MEALY）型状态机。

1) 序列不可重叠，其状态表为：

含义	X		
	S	0	1
未收到有效码	S0	S1/0	S0/0
收到 0	S1	S1/0	S2/0
收到 01	S2	S0/1	S0/0
S^{n+1}/Z			

2) 序列可重叠，其状态表为：

含义	X		
	S	0	1
未收到有效码	S0	S1/0	S0/0
收到 0	S1	S1/0	S2/0
收到 01	S2	S1/1	S0/0
S^{n+1}/Z			

【例 7-8】设计一个 MEALY 型序列检测器，它有 1 个输入 x 和一个输出 z ，当且仅当输入 x 是 1111 或 1001 时，输出 z 为 1；否则 $z=0$ 。序列允许重叠。画出该电路的状态转换图。

例如： $x: 010111100110011111$

$z: 000000100100010011$

【解题指导】这是一个检测两组码的 MEALY 型序列检测器。按照上例中的方法，要检测序列 1111，需要记忆：未收到一位有效码（即收到 0），收到 1，收到 11，收到 111；要检测序列 1001，需要记忆：未收到一位有效码（即收到 0），收到 1，收到 10，收到 100；去掉重复的状态，该状态机需要 6 个状态：未收到一位有效码，收到 1，收到 10，收到 11，收到 100，收到 111，分别用状态 A~F 表示。

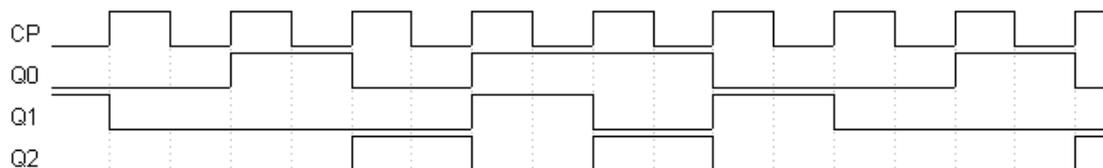
【解答】

由上述分析可得状态表为：

状态含义	X		
	S	0	1
初态，未收到一位有效码	A	A,0	B,0
收到 1	B	C,0	D,0
收到 10	C	E,0	B,0
收到 11	D	A,1	F,0
收到 100	E	A,0	B,1
收到 111	F	A,0	F,1

S*,Z

【例 7-9】在某计数器的输出端观察到下图所示的波形，试确定该计数器的模。画出状态转换图，并用 D 触发器实现该计数器。

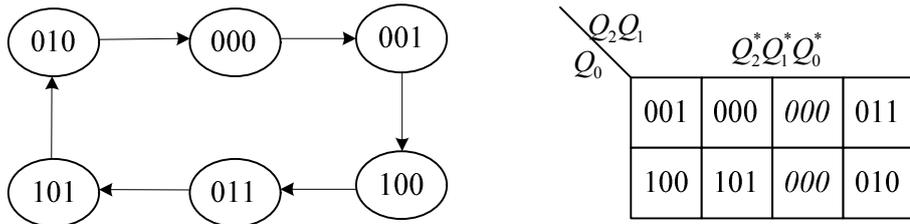


【解题指导】

- (1) 时序电路状态随同步时钟上升沿变化而变化。
- (2) 根据状态变化可画出状态图，注意状态排位顺序。
- (3) 涉及未用状态的处理。

【解答】

由状态图可见，该计数器模为 6。这里采用最小风险方式处理未用状态，即未用状态次态设为 $Q_2Q_1Q_0=000$ 。



得到状态转移卡诺图后，可得到状态转移方程，若用时钟同步上升沿 D 触发器实现，则激励方程为：

$$D_2 = Q_2'Q_0$$

$$D_1 = Q_2Q_1'$$

$$D_0 = Q_2'Q_1Q_0 + Q_1'Q_0'$$

逻辑图（略）。

【例 7-10】 一个米里（Mealy）型系统中，有两个输入 A 和 B；把 AB 看做是一个二进制数，即：00 是 0，01 是 1，10 是 2，11 是 3。如果当前的数大于或等于前一个数，而且前一个数大于或等于再前一个数时，则输出是 1，否则输出为 0。该电路有一个初态，表示没有前一个数。请写出状态表，并解释每个状态的含义（除了初始态之外，还有八个状态）。

例如：

A: 00101000111011

B: 10011001010011

Z: 00000001110001

【解题指导】

(1) 系统从初始状态开始，在检测完 A、B 数值后，有四种状态，分别记忆收到的 AB 的值。

(2) 下一个时钟到来后，现态成为前一个状态，可由当前输入判断当前数是否

大于或等于前一个数。同时,为了便于在下一个时钟到来后能够产生确定的输出,需要记忆当前收到的输入 AB 的值。

(3) 由于是 Mealy 机,当前的输入与当前的状态共同决定当前的输出。当以下两个条件满足时: 1) 如果当前的数大于或等于前一个数, 2) 前一个数大于或等于再前一个数时, 输出是 1, 所以需要记忆的状态包括: 前一个数的值, 以及前一个数是否大于或等于再前一个数。

例 6-10 的状态/输出表

状态含义	S	AB			
		00	01	11	10
初始状态	INIT	A00,0	A01,0	A11,0	A10,0
不满足前一个数大于或等于再前一个数, 前一个数 AB=00	A00	B00,0	B01,0	B11,0	B10,0
不满足前一个数大于或等于再前一个数, 前一个数 AB=01	A01	A00,0	B01,0	B11,0	B10,0
不满足前一个数大于或等于再前一个数, 前一个数 AB=10	A10	A00,0	A01,0	B11,0	B10,0
不满足前一个数大于或等于再前一个数, 前一个数 AB=11	A11	A00,0	A01,0	B11,0	A10,0
前一个数大于或等于再前一个数, 前一个数 AB=00	B00	B00,1	B01,1	B11,1	B10,1
前一个数大于或等于再前一个数, 前一个数 AB=01	B01	A00,0	B01,1	B11,1	B10,1
前一个数大于或等于再前一个数, 前一个数 AB=10	B10	A00,0	A01,0	B11,1	B10,1
前一个数大于或等于再前一个数, 前一个数 AB=11	B11	A00,0	A01,0	B11,1	A10,0
		S*,Z			

【例 7-11】设计一个序列信号检测器, 当输入连续出现 1110 的时候, 输出为 1, 否则输出为 0。

(1) 采用最少的 D 触发器和门电路实现，要求采用最小风险方法设计。画出状态转换图，建立该电路的转移输出表，写出简化的激励方程和输出方程，画出电路图。

(2) 采用集成器件 74171（带异步复位的 4D 触发器）和最少的门电路实现，画出电路连接图。

【解题指导】序列检测器是一个时序同步时序电路，设计的方法主要有两种：1) 可以按照时序电路设计的一般步骤进行设计，先进行状态表的设计，然后进行状态编码，...，用这种方法得到的电路所用的触发器是最少的，但是如果检测的序列发生变化，则该设计过程需要重复一遍；2) 用移位寄存器和门电路实现，移位寄存器就像一个滑窗，而要检测的码只与门电路有关。这种设计方法可能所用的触发器不是最少的，但设计所花的时间很少。

具体到本例，可以采用多种方式实现，比如：1) 采用 Mealy 机设计，需要 4 个状态，2 个触发器；2) 采用 Moore 机设计，需要 5 个状态，3 个触发器；3) 采用移位寄存器设计，需要 3 个或 4 个触发器；

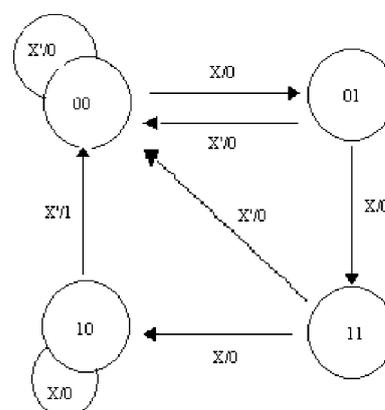
【解答】

(1) 根据题目要求，只能采用 Mealy 机进行设计。

1) 有 4 个状态：状态 S0：收到 0 S1：收到 1 个 1 S2：连续收到 2 个 1
S3：连续收到 3 个 1

由要求，可以得到状态转移表和状态转移图为：

S*	X	
	0	1
S0	S0/0	S1/0
S1	S0/0	S2/0
S2	S0/0	S3/0
S3	S0/1	S3/0



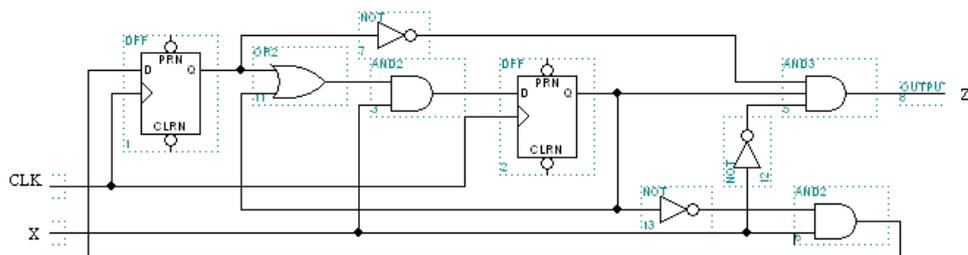
选择状态编码为：S0：00，S1：01，S2：11，S3：10，则可得到激励表为：

	Q1Q0			
X	00	01	11	10
0	00/0	00/0	00/0	00/1
1	01/0	11/0	10/0	10/0

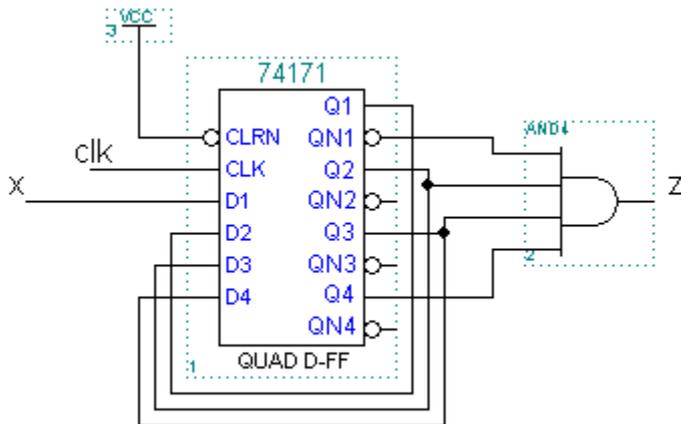
激励方程和输出方程分别为：

$$Q1^* = Q0 \cdot X + Q1 \cdot X \quad Q0^* = Q1' \cdot X \quad Z = Q1 \cdot Q0' \cdot X'$$

逻辑电路图如下：



(2) 若对 D 触发器数量不做要求，只要求门电路数量最少，则可以采用 4D 集成触发器连接成串行输入的移位寄存器，加上 1 个 4 输入与门即可以实现。数据从 D1 输入，先移入的数据在 Q4，后移入的数据在 Q1。电路连接图如下：



【例 7-12】设计一个序列信号发生器，该电路能在时钟信号 clk 作用下，周期性输出“110010”的串行序列信号。

(1) 采用集成计数器 74x163 和集成多路选择器 74151 以及尽可能少的门电路实现，画出电路连线图。

(2) 采用最少的 JK 触发器和门电路实现, 要求采用最小风险方法设计。建立该电路的转移输出表, 写出简化的激励方程和输出方程, 画出电路图。

【解题指导】序列信号发生器是一种能够在时钟脉冲作用下产生周期性序列输出的数字电路。序列发生器的实现方法主要有两种: 计数器+组合电路, 移位寄存器+组合电路。

利用计数器的状态循环特性和组合电路(一般为数据选择器), 可以很方便地实现周期序列发生器。在这种序列信号发生器中, 计数器的模 M 等于序列的周期, 计数器的状态输出作为组合电路的输入, 该组合电路的输出即为要产生的序列。(比如计数器的输出作为数据选择器的地址选择码, 数据选择器的数据输入端接要产生的序列, 数据选择器的输出即为要产生的周期序列。)

移位寄存器配合反馈电路, 可以构成计数器, 同样可以用来产生周期序列; 而为了减少门电路的使用量, 希望在状态赋值时保证状态输出直接就是电路中需要输出的序列。也就是说, 该计数器计数顺序的排列由要产生的序列确定。这种方法构成的序列发生器成为移位型序列发生器。

问题(1) 需要采用计数器+组合电路的形式。将 74163 改接为模 6 计数器, 然后利用低位状态输出控制数据选择器, 将待产生的序列信号设置在数据选择器适当的数据输入端口上。

为了尽量不使用门电路, 需要对 74163 的状态进行分析:

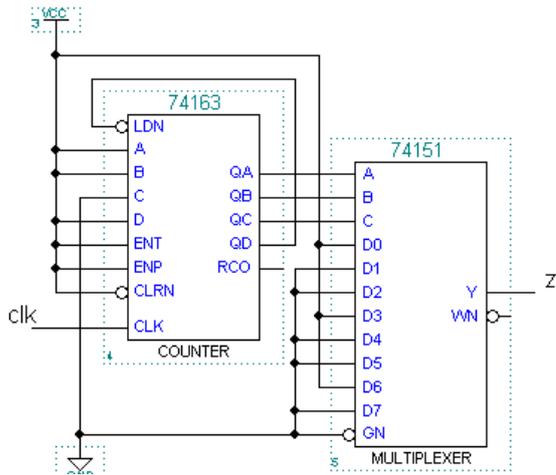
将 74163 设置为从 0000 状态跳转到 1011 状态实现模 6 计数器, 这样可以用 QD 输出到 LDN 控制置数, 而在数据输入端 DCBA 设置 1011, 就可以不用门电路而实现模 6 计数器;

在此设置下, 计数器低 3 位的状态循环为 0, 3, 4, 5, 6, 7; 在 74151 相应的数据输入端顺序设置待产生的序列信号, 就可以实现要求的功能。74151 的 D1、D2 端口因为未使用到, 可任意设置。

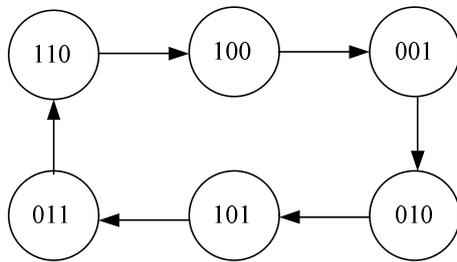
问题(2) 需要采用移位寄存器+反馈电路构成一个模 6 计数器, 该计数器的计数顺序为: 110→100→001→010→101→011→110→...

【解答】

(1) 电路连接图如下:



(2) 状态转换图如下：



考虑到最小风险设计要求，需要将所有未用状态的次态都指定到有效状态：
即状态 000 的次态为 001，状态 111 的次态为 110。得到状态转移表为：

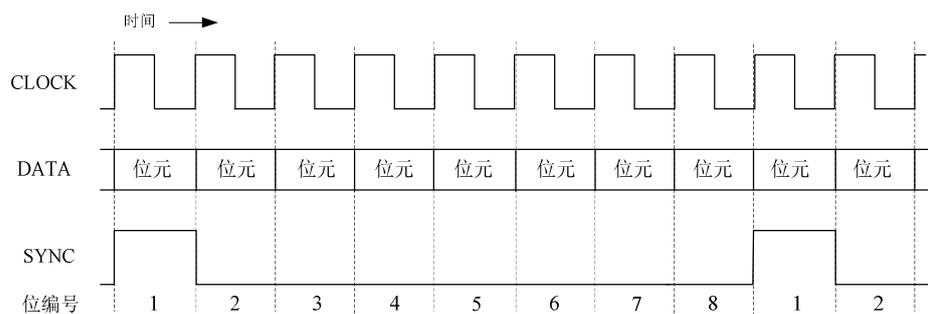
Q2Q1 \ Q0	00	01	11	10
0	001	101	100	001
1	010	110	110	011

可得各 JK 触发器的简化激励方程如下：

$$J_2=Q_1 \quad K_2=Q_1' \quad J_1=Q_0 \quad K_1=Q_0' \quad J_0=Q_2'+Q_2Q_1' \quad K_0'=Q_2Q_1'$$

该电路可以从任何一个触发器的输出端输出所要求的序列信号。所得到的逻辑
电路图为：

【例 7-13】设计一个时钟同步状态机，对数据串进行偶校验。电路应该有 2 个输入 (SYNC 和 DATA)，另外还有时钟输入 CLOCK 和 1 个 Moore 型输出 ERROR。几个输入信号之间的时序关系如下图所示。构造一个只用 4 种状态实现这个功能的状态/输出表，并在表中注明每种状态的含义。选择一种 2 位二进制的状态赋值，写出转移和激励方程，画出逻辑电路图。分别采用 D 触发器、J—K 触发器实现该电路。



【解题指导】

(1) 状态机对 DATA 线上的数据进行奇偶判断，当前 DATA 的取值改变从起始时刻（同步信号）开始到现在为止的奇偶校验状态。

(2) 奇偶校验通常是对一串有意义的码字，如一个字节，来进行的。所以校验的起始和结束需另外的信号线控制，如同步信号 SYNC，但具体控制需按题意进行。

(3) 按照本题图示，当 SYNC 上升沿有效，结束本次校验码字，输出本次偶校验结果，并开始下一码字的校验。

(4) 输出为 Moore 型，命名为 ERROR，即在同步信号到来时，本次偶校验结果若为奇，则输出有效。

【解答】 状态转换/输出表为：

		SYNC DATA					
S	00	01	11	10	ERROR	状态含义	
S_0	S_0	S_1	S_1	S_0	0	校验状态为偶，输出无效，与同步信号无关	
S_1	S_1	S_0	S_2	S_3	0	校验状态为奇，但同步信号未到，输出无效	
S_2	S_1	S_0	S_2	S_3	1	校验状态为奇，同步有效，下次起始校验为奇	
S_3	S_0	S_1	S_1	S_0	1	校验状态为奇，同步有效，下次起始校验为偶	
S^*							

令状态编码为 (Q1Q0): S0: 00, S1: 01, S2: 11, S3: 10

则状态转移卡诺图为:

$Q_1 Q_0$		$Q^* Q^*$			
		00	01	11	10
$Q_1 Q_0$		00	01	11	10
		01	00	11	10
$Q_1 Q_0$		01	00	11	10
		00	01	11	10

$Q_1 Q_0$		$J_1 K_1, J_0 K_0$			
		$0d,0d$	$0d,1d$	$1d,1d$	$1d,0d$
$Q_1 Q_0$		$0d,d0$	$0d,d1$	$1d,d0$	$1d,d1$
		$d1,d0$	$d1,d1$	$d0,d0$	$d0,d1$
$Q_1 Q_0$		$d1,0d$	$d1,1d$	$d1,1d$	$d1,0d$
		$0d,0d$	$0d,1d$	$0d,1d$	$0d,0d$

转移方程和输出方程为:

$$Q_1^* = SYNC \cdot Q_0$$

$$Q_0^* = SYNC' \cdot DATA' \cdot Q_0 + DATA \cdot Q_0' + SYNC \cdot DATA$$

$$ERROR = Q_1$$

若采用 D 触发器完成, 则:

$$D_1 = SYNC \cdot Q_0$$

$$D_0 = SYNC' \cdot DATA' \cdot Q_0 + DATA \cdot Q_0' + SYNC \cdot DATA$$

若采用 JK 触发器完成, 则利用应用表:

$$J_1 = SYNC \cdot Q_0 \quad K_1 = (SYNC \cdot Q_0)'$$

$$J_0 = DATA \quad K_0 = SYNC \oplus DATA$$

逻辑图 (略)。

【例 7-14】列出一个具有 2 个输入 INIT 和 X 以及 1 个 Moore 型输出 Z 的时钟同步状态机的状态表。只要 INIT 有效, Z 就一直为 0。一旦 INIT 信号无效, Z 为 0 且应保持到: 1) X 在连续 2 个时钟触发沿上都是 0; 并且 2) X 在连续 2 个时钟触发沿上都是 1 (与这两种情况出现的顺序无关), 然后 Z 的值才变为 1, 并且保持到 INIT 信号再次有效为止。(提示: 要求状态数不超过 10)。

【解题指导】 建立原始状态表的一般过程: 首先假定一个初始状态 A, 从这个初始状态 A 开始, 每加入一个输入, 就可确定其次态和输出。该次态可能是现态本身, 也可能是现在已有的另一个状态, 或是新增加的一个状态。继续这个过程, 直到每一种输入的可能性、每一个现态向其次态的转换都被考虑到, 并且不

再增加新的状态为止。

【解答】状态表为：

S	INIT X				Z
	00	01	10	11	
INITS	X0	X1	INITS	INITS	0
X0	X00	X1	INITS	INITS	0
X1	X0	X11	INITS	INITS	0
X00	X00	X001	INITS	INITS	0
X11	X110	X11	INITS	INITS	0
X001	X00	OK	INITS	INITS	0
X110	OK	X11	INITS	INITS	0
OK	OK	OK	INITS	INITS	1

S*

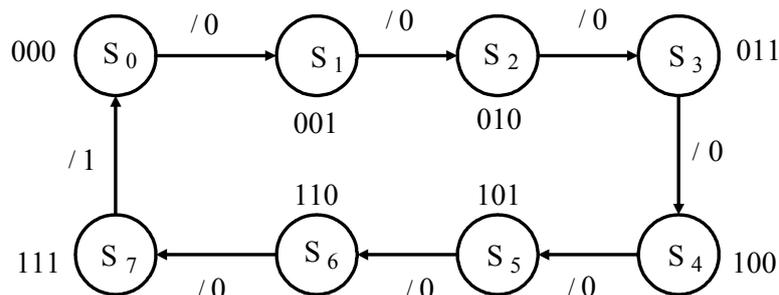
【解题指导】模等于 8 的计数器即八进制计数器。二进制计数器状态按二进制数分配。加法计数是指对被计数的脉冲进行累加。若计数器起始状态为 000，则收到一个计数脉冲后其状态为 001，收到两个计数脉冲后状态变为 010。同步计数器中各触发器共用时钟。

这是一道典型的时序逻辑电路设计题目，按照时序电路的设计步骤进行设计即可。

【解答】

(1) 画状态转移/输出图

八进制计数器共有 8 个状态，且逢八进一，因此可做出八进制计数器的状态转移/输出图：



由于八进制计数器必有 8 个状态，不需要再进行状态化简。

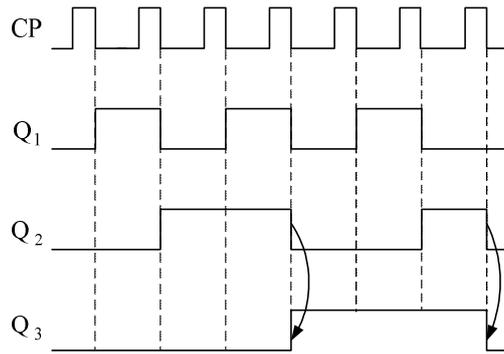
(2) 状态分配

此计数器有 8 个状态，至少需要用三只触发器，设触发器输出用 Q_3 、 Q_2 、 Q_1 表示。8 个状态分别对应编码：000，001，...，111。状态分配后的状态转移/输出表为：

S	Q_3	Q_2	Q_1	Q_3^*	Q_2^*	Z
S ₀	0	0	0	0	0	1
S ₁	0	0	1	0	1	0
S ₂	0	1	0	0	1	1
S ₃	0	1	1	1	0	0
S ₄	1	0	0	1	0	1
S ₅	1	0	1	1	1	0
S ₆	1	1	0	1	1	1
S ₇	1	1	1	0	0	0

(3) 触发器选型

由以上状态分配可知，本题至少需要用三只触发器。这里选用 T 触发器。状态方程：



(2) 选择时钟 CP
分析波形图可知：

$$CP1 = CP \quad CP2 = CP \quad CP3 = Q_2$$

(3) 列状态转移/输出真值表

由状态转移/输出图和时钟条件，可列出状态转移/输出真值如下：

S_2	0	1	0	0	1	1	0
S_3	0	1*	1	1	0	0	0
S_4	1	0	0	1	0	1	0
S_5	1	0	1	1	1	0	0
S_6	1	1*	0	0	0	0	1

由表可得状态方程：

$$Q_1^* = Q_3' Q_1' + Q_2' Q_1'$$

$$Q_2^* = Q_3' Q_2 Q_1' + Q_2' Q_1$$

$$Q_3^* = Q_3'$$

若选 JK 触发器，则可得到激励方程：

$$J_3 = K_3 = 1;$$

$$J_2 = Q_1, K_2 = Q_1 + Q_3 = (Q_1' Q_3')';$$

$$J_1 = Q_3' + Q_2' = (Q_3 Q_2)'; K_1 = 1;$$

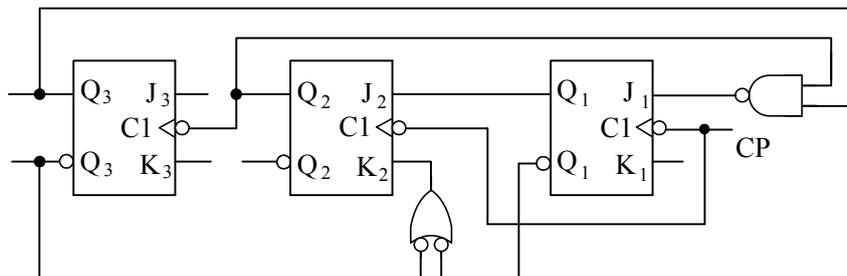
$$\text{输出方程: } C = Q_3 Q_2$$

(4) 检查电路自启动性

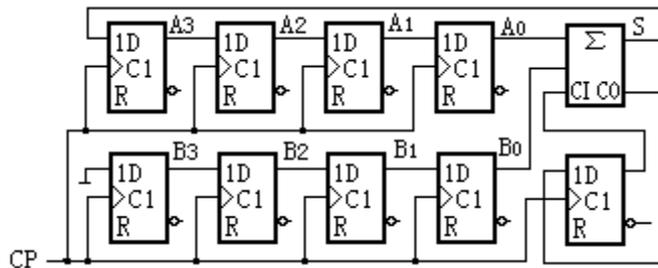
对于未用状态 111，若原状态 $Q_3=Q_2=Q_1=1$ ，则由所选的 JK 触发器的状态方程，可以求出新状态的值 $Q_3^*=Q_2^*=Q_1^*=0$ 。即经过一个时钟后，电路可以回到有效状态 000。可见电路是自启动的。

(5) 画逻辑电路图

所设计的异步 7 进制计数器的逻辑图如下：



【例 8-5】在图例 6.5 电路中,若两个移位寄存器中的原始数据分别为 $A_3A_2A_1A_0=1001$, $B_3B_2B_1B_0=0011$, $C_i=0$, 试问经过 4 个 CP 信号作用以后两个寄存器中的数据如何? 这个电路完成什么功能?



图例 6.5

【解题指导】这道题目中的两组移位寄存器, 共用一个时钟源, 在时钟的作用下实现数据的右移。同时将移位寄存器中的两组数据送入到加法器中实现数据的相加运算。在解题过程中, 需要详细地分析每经过一个时钟后, 移位寄存器的数据变化, 全加器的输入输出变化, 从而总结题目所实现的功能。

【解答】

两组移位寄存器, 每来一个 CP , 各位数据均向右移一位。全加器的和返送到 A 寄存器的左端输入。全加器的进位输出 CO 经一个 CP 的延迟反送到全加器的进位输入端 CI 。在 CP 作用下, 各点数据如下表所示:

CP	$A_3A_2A_1A_0$	$B_3B_2B_1B_0$	CI	$S\ CO$
0	1 0 0 1	0 0 1 1	0	0 1
1	0 1 0 0	0 0 0 1	1	0 1
2	0 0 1 0	0 0 0 0	1	1 0
3	1 0 0 1	0 0 0 0	0	1 0
4	1 1 0 0	0 0 0 0	0	0 0

4 个 CP 信号作用后, $A_3A_2A_1A_0=1100$, $B_3B_2B_1B_0=0000$, 电路为四位串行加法器。

4 个 CP 信号作用后, B 寄存器清零, A 寄存器数据为串行相加结果, 而向高位的进位由 CO 给出。

【例 8-6】试用 D 触发器构成下列环形计数器:

- (1) 3 位环形计数器;
- (2) 5 位环形计数器;
- (3) 5 位扭环形计数器。

【解题指导】计数器也可以由移位寄存器构成。移位型计数器即是由移位寄存器构成的计数器。与二进制计数器不同, 移位型计数器的计数顺序既不是升序, 也不是降序, 但是这种计数器在许多“控制”领域的应用中却十分有用。这时要求寄存器有 M 个状态, 分别与 M 个计数脉冲相对应, 并且不断在按 M 个状态周期地循环。为此, 在移位寄存器电路中需要加入反馈。可以采用两种办法加入反馈: 一种称为环形计数器, 另一种称为扭环计数器。

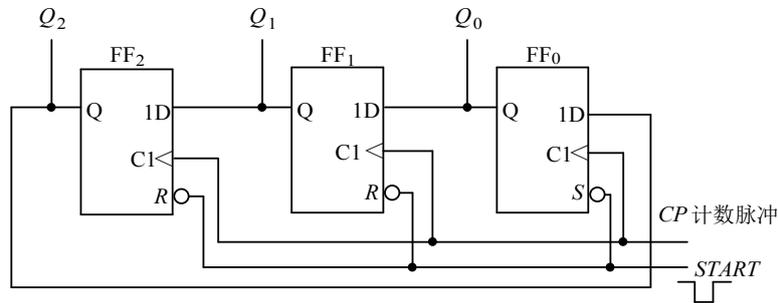
环形计数器的反馈电路简单, 只需要将末级输出直接反馈到第一级输入即可。环形计数器的缺点是触发器利用不充分, n 个触发器只有 n 个有效状态。

扭环计数器又称约翰逊计数器, 它的反馈电路是将移位寄存器的末级 Q_{n-1}_L

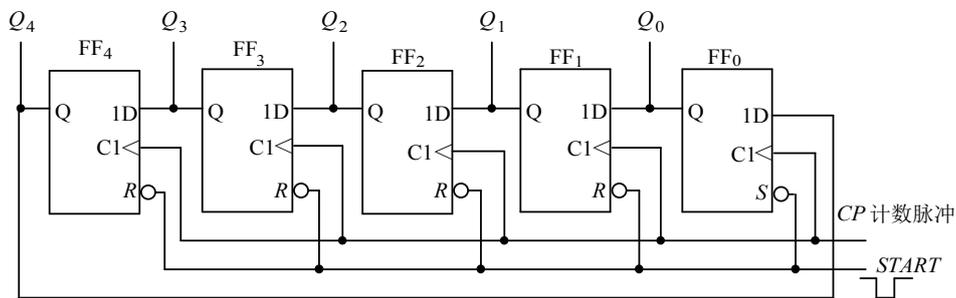
反馈到串行输入端。其特点是电路简单，触发器利用率高， n 个触发器将有 $2n$ 个有效状态。

【解答】

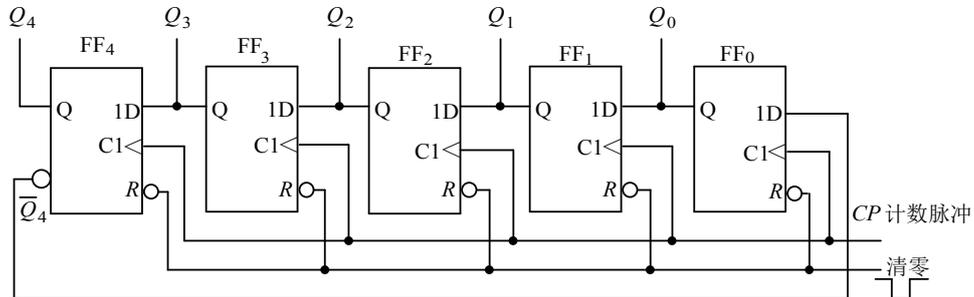
3 位环形计数器如图：



5 位环形计数器如图：

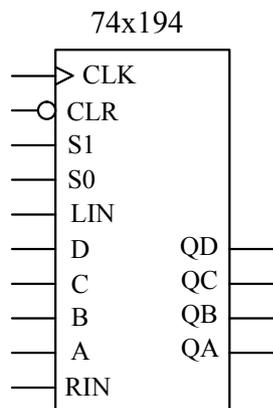


5 位扭环形计数器如图：



【例 8-7】试画出用 2 片 74LS194 组成 8 位双向移位寄存器的逻辑图。

【解题指导】74x194 是 4 位双向并入并出移位寄存器，逻辑符号和功能表如下所示：



74x194 的功能表

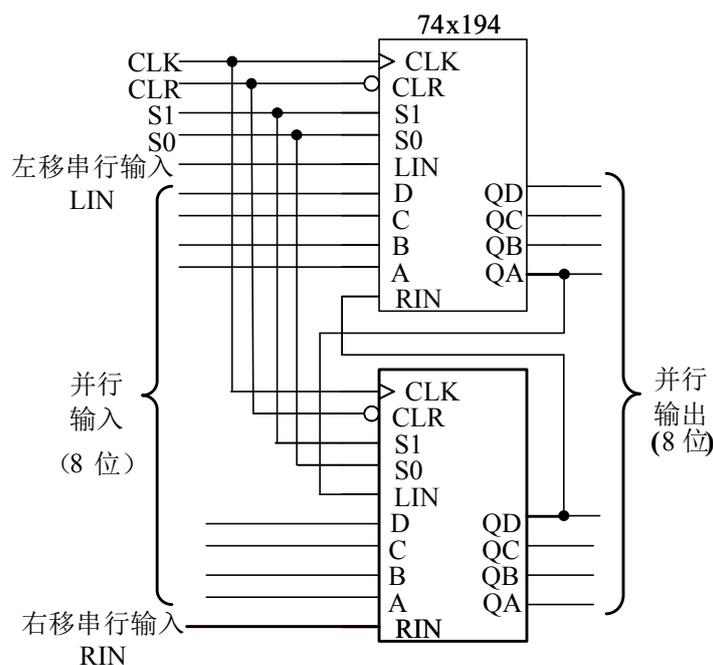
功能	输入		下一状态			
	S1	S0	QA*	QB*	QC*	QD*
保持	0	0	QA	QB	QC	QD
右移	0	1	RIN	QA	QB	QC
左移	1	0	QB	QC	QD	LIN
载入	1	1	A	B	C	D

其中，LIN 为左移输入端，当控制输入端 S1S0=10 时，实现左移功能，信号从 LIN 移入寄存器，从 QD 移到 QA；RIN 为右移输入端，当控制输入端 S1S0=01 时，实现右移功能，信号从 RIN 移入寄存器，从 QA 移到 QD。

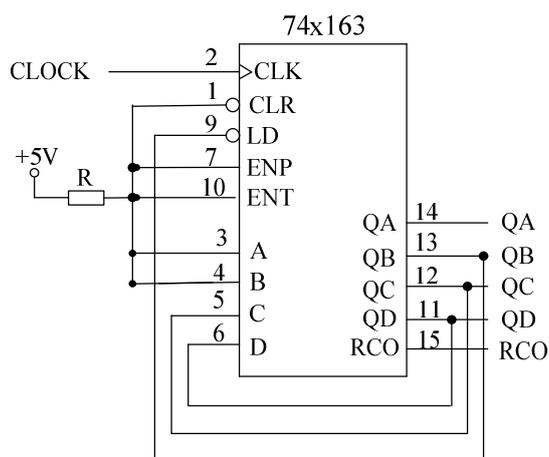
要实现 8 位双向移位寄存器，需要两片 74x194。要整体实现左移、右移、载入、保持等功能只需利用外部控制信号 S1S0 来控制每一片 74x194 的控制输入端 S1S0；同时利用每一片 74x194 的 LIN 端和 RIN 端，实现数据的移位。

【解答】

用 2 片 74LS194 组成 8 位双向移位寄存器如下图：



【例 8-8】 试分析图例 6.8 所示的电路，画出它的状态图，说明它是几进制计数器。



图例 6.8

【解题指导】 74x163 是同步清零、同步置数的 4 位二进制同步加法计数器，是最常用的一种 MSI 计数器。它具有低电平有效的载入端 LD 和清零输入端 CLR，高电平有效的使能输入信号 ENT 和 ENP。RCO 为进位输出，当 QD、QC、QB、

QA 的值均为 1 且使能端有效时，RCO=1。74x163 功能表如下：

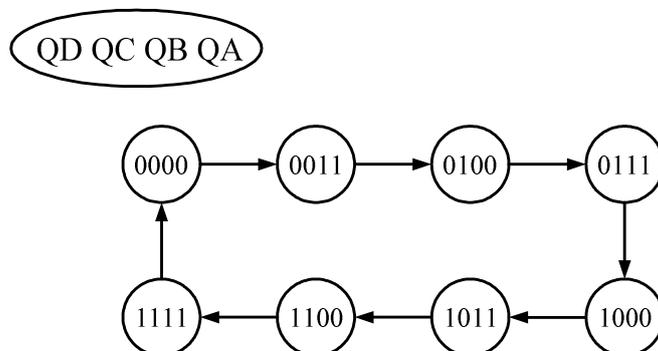
74x163 功能表

CLK	CLR_L	LD_L	ENP	ENT	工作状态
\uparrow	0	×	×	×	同步清零
\uparrow	1	0	×	×	同步置数
×	1	1	0	×	保持
×	1	1	×	0	保持, RCO=0
\uparrow	1	1	1	1	计数

要分析 MSI 计数器电路的计数模式，首先要弄清楚 MSI 计数器的工作状态，即分析置数端、清零端、使能端等功能输入端的工作状态，然后根据时钟节奏，画出 MSI 计数器的状态图，从而得到 MSI 计数器电路的计数功能。

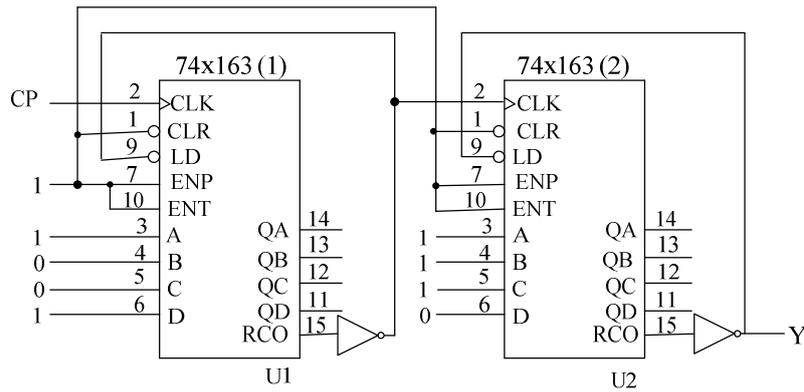
【解答】在图例 6.8 中，ENP=ENT=1，保证正常计数，CLR=1 说明清零无效，D=QD，C=QC，B=1，A=1，QB 控制 LD。此电路工作过程如下：

设 0000 为初始状态，则 DCBA=0011，LD=0，这意味着在第一个脉冲作用下，要置数，使 Q_DQ_CQ_BQ_A=0011；当 Q_DQ_CQ_BQ_A=0011 时，则 LD=1，这意味着在第二个脉冲作用下，要计数，而置数无效，使 Q_DQ_CQ_BQ_A=0100；……就这样逐次分析各个状态，并画出对应的状态图如下图所示：



因此，图例 6.8 中的电路是八进制计数器。

【例 8-9】试分析图例 6.9 计数器电路的分频比(即 Y 与 CP 的频率之比)。

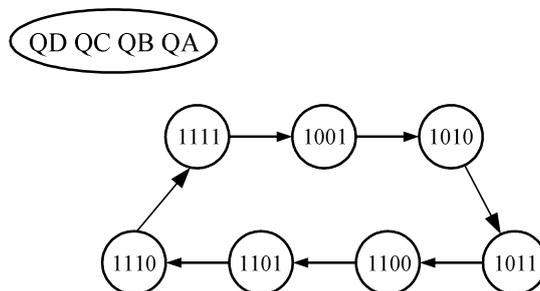


图例 6.9

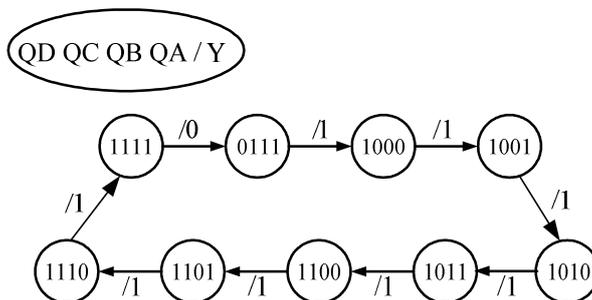
【解题指导】分析计数器电路的分频比，这里指输出 Y 与时钟 CP 的频率之比，其实也就是分析计数器电路的模。题目中是将两片 74x163 级联起来，前一级的进位信息传送到后一级计数器，启动后一级计数器进行计数。利用这种级联结构的连接方式，可以构造计数模值大于 16 的二进制计数器。在分析计数器的计数过程中，可以先画出前一级计数器的计数状态图，分析出前一级计数器的模；当计数到 RCO 有效时，启动后一级计数器计数，再画出后一级计数器的计数状态图，分析出后一级计数器的模。根据前后级计数器的运作模式，分析出计数电路的分频比。

【解答】

74x163 (1) 的状态图为：

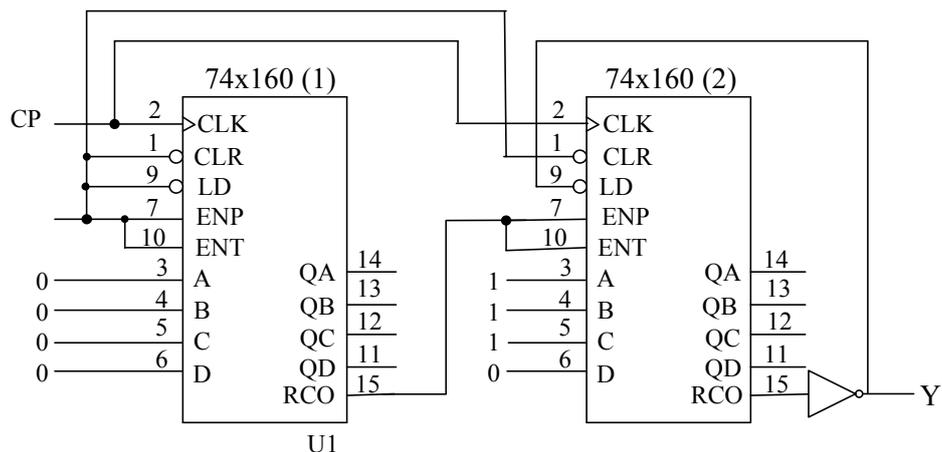


74x163 (2) 的状态图为：



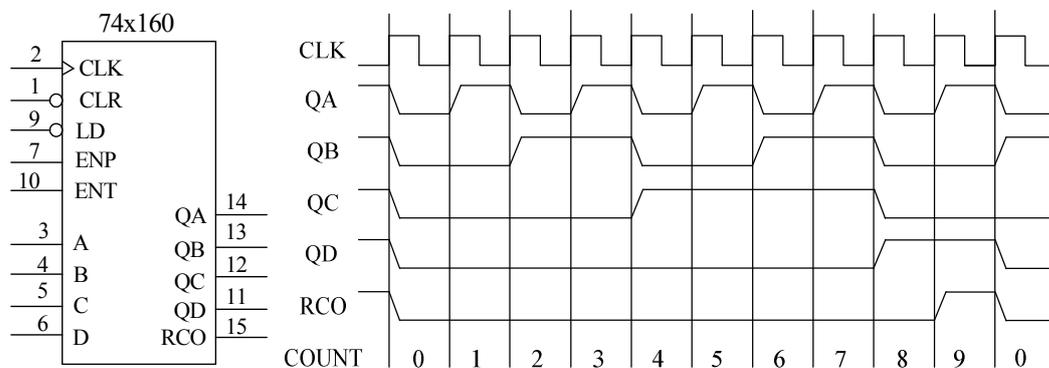
可见，74x163 (1) 为七进制计数器，且每当电路状态由 1001~1111 时，给 74x163 (2) 一个计数脉冲。74x163 (2) 为九进制计数器，计数状态由 0111~1111 循环。整个电路为 63 进制计数器，分频比为 1:63。

【例 8-10】图例 6.10 电路是由两片 74160 组成的同步计数器，试分析这是多少进制的计数器，两片之间是几进制。



图例 6.10

【解题指导】74x160 是模 10 计数器，又称为十进制计数器，逻辑符号和其自由运行模式下的波形图如下图所示：



题目电路中是两片 74x160 级联的电路，可以先分析出每片 74x160 的计数模式，再根据它们级联的工作方式，即可得出整个计数器电路的计数进制。

【解答】

第 (1) 片 74160 接成十进制计数器，第 (2) 片 74160 接成了三进制计数器。第 (1) 片到第 (2) 片之间为十进制，两片串联组成 71~90 的二十进制计数器。

【例 8-11】试分别利用 74163 的同步清零功能和同步置数功能，设计一个七进制计数器。

【解题指导】利用 74163 的同步清零功能和同步置数功能，可以将模 16 的计数器 163 变为模值小于 16 的计数器。

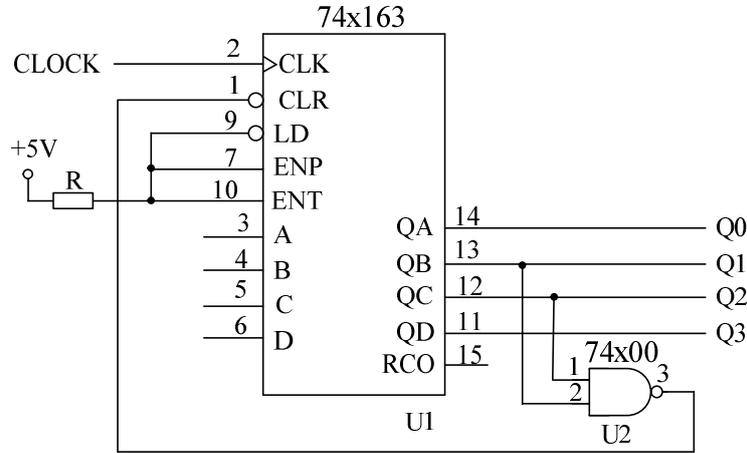
采用清零法，计数器的状态循环圈中必定包含状态 0000，对于本题中的七进制计数器可以是 0000—0001—0010—0011—0100—0101—0110 这 7 个状态，因此当计数到 0110 时，进行反馈清零。

对于置数法，则首先要设计好所设计计数器的状态循环模式，即要设计的计数器的状态图中的循环圈中应包含哪些状态。对于本题中的七进制计数器可以是 0000—0001—0010—0011—0100—0101—0110 这前 7 个状态，当计数到 0110 时，置入 0000；也可以是 1001—1010—1011—1100—1101—1110—1111 这后 7 个状态，当计数到 1111 时，利用 RCO 端置入 1001；同时也可以是 74163 自由运行模式中 16 个状态中的任何 7 和连续状态，如 0101—0110—0111—1000—1001—

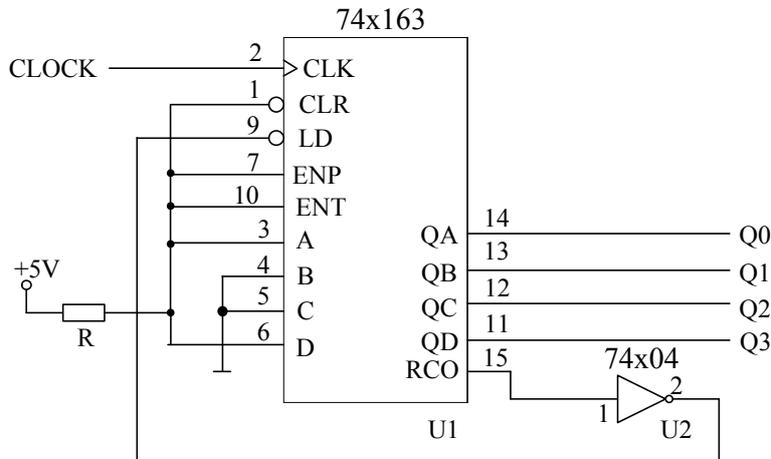
1010—1011，当计数到 1011 时，置入 0101。

【解答】

利用 74163 的同步清零功能，设计出的七进制计数器状态循环模式为：0000—0001—0010—0011—0100—0101—0110，当计数到 0110 时，进行反馈清零，如下图所示：



利用 74163 的同步置数功能，设计出的七进制计数器状态循环模式为：1001—1010—1011—1100—1101—1110—1111，当计数到 1111 时，利用 RCO 端置入 1001，如下图所示：



【例 8-12】 利用 74163 设计一个模 193 的计数器。

【解题指导】 74163 是一个模 16 的同步计数器。要设计的计数器模为 193，显然超过了 16。因此必须采用多片 74163 来设计。由于两片 74163 可以级联为 8 位二进制计数器，即模为 256 的计数器，193 小于 256，所以采用两片 74163 即可。

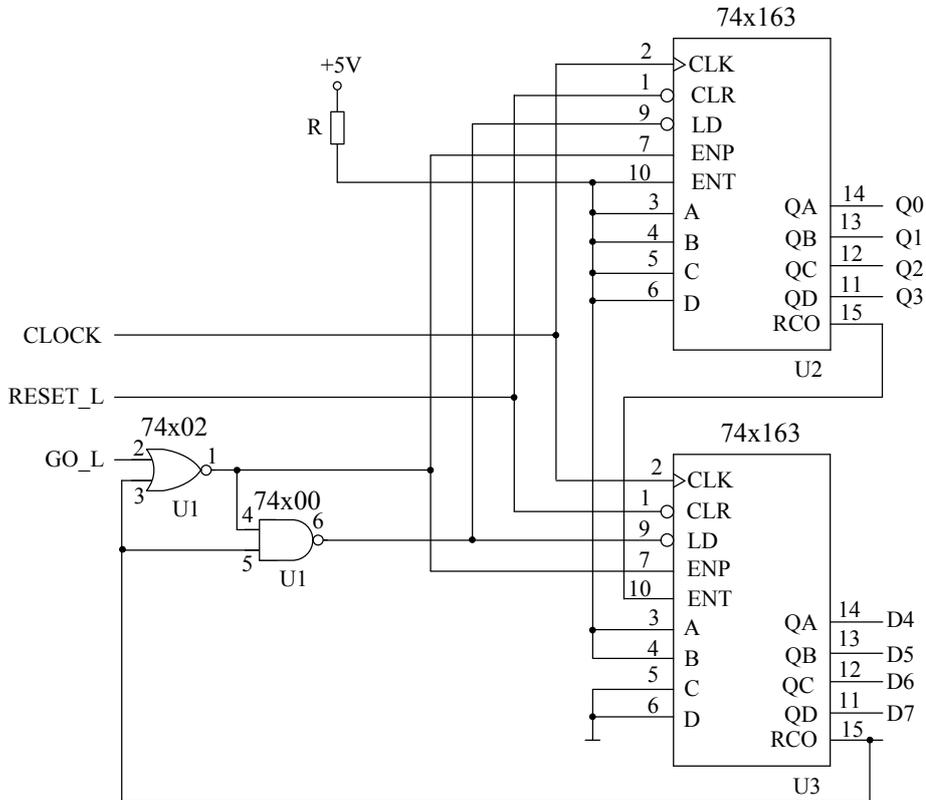
多片级联设计计数器的方法，可以分为两大类。第一类是将多片计数器直接级联，如两片 74163 级联为 8 位二进制计数器，即模为 256。再通过整体置数法或整体清零法，设计出模为 193 的计数器。第二类方法是，将要设计的计数器进制数分解，如 $m=m_1*m_2$ ，分别设计出 m_1 进制的计数器和 m_2 进制的计数器，再将二者级联。

由于 193 是质数，没法分解，所以这道题目智能采用整体置数法或整体清零

法来设计。

【解答】

采用整体预置数法，用 2 个 74163 构造一个模 193 的计数器。计数顺序从 63 到 255, $(63)_{10} = (0011\ 1111)_2$, 故预置计数器的初态为 0011 1111。高位输出信号 RCO 用来检测状态 255, 当计数器计满 255 时, RCO=1, 通过一个与非门反向后又重新预置数, 电路重新进入状态 63。如下图所示:



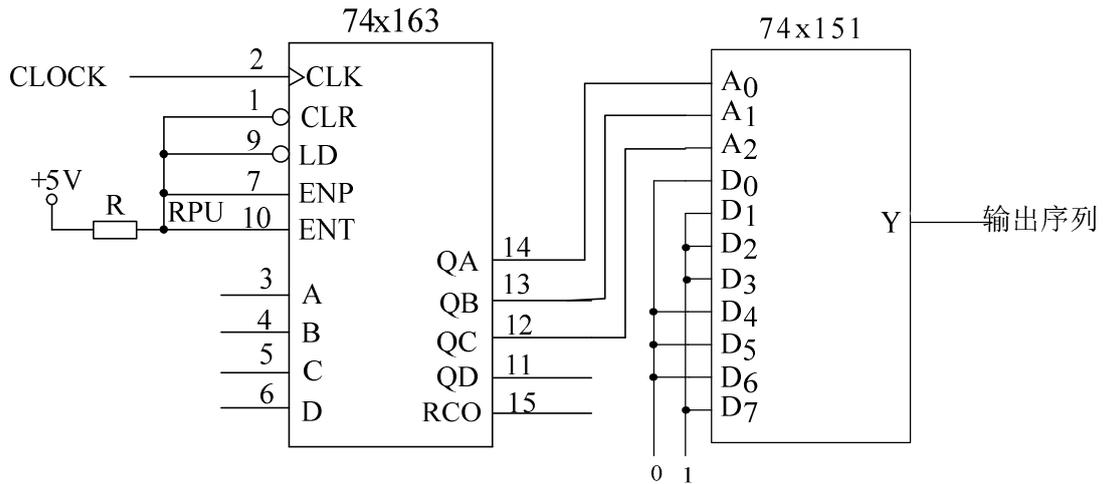
【例 8-13】用计数器产生 1000111010001110.....二元序列码。

【解题指导】题目要求设计一个序列信号发生器。序列信号码发生器就是产生这种任意给定的周期性序列的电路。序列信号具有周期，其周期是指序列未重复前 0 和 1 的“总位数”，又称为循环长度，一般用 L 表示。例如序列：10010011011001001101.....的循环长度为 L=10。

利用计数器产生序列信号时，通常配合数据选择器来实现，这样做会使得设计简单、直观。通常首先找出序列信号的循环长度 L，设计出模为 L 的计数器。

【解答】

本题目中序列信号的循环长度为 8，因此可用一个 8 进制计数器和一个 8 选 1 数据选择器组成序列信号码发生器。其中 8 进制计数器选用 74LS163，只需将 74163 设计成自由运行模式，取输出状态变量的低 3 位即可；8 选 1 数据选择器选用 74x151。将计数器的输出作为数据选择器的选择控制端，同时将数据选择器的数据端 D0—D7，赋值为要产生序列信号的一个周期“10001110”，如下图所示。



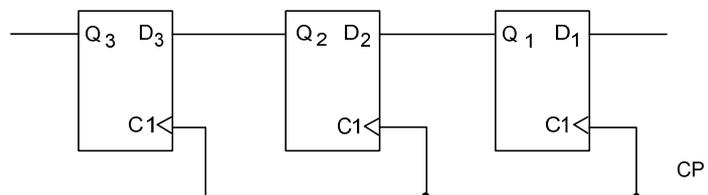
当 CLOCK 连续不断地加到计数器上时， $Q_CQ_BQ_A$ 的状态将不断循环，便可在 Y 端得到不断循环的序列信号 10001110。

【例 8-14】用移位寄存器产生产生 1000111010001110.....二元序列码。

【解题指导】当用移位寄存器来产生序列信号时，若序列的循环长度为 L，移位寄存器的位数为 n，则应满足 $2^n \geq L$ 。同时特别要注意的是，当用位数为 n 的移位寄存器，设计出产生序列的 L 个状态时，这 L 个状态一定不能重复。否则，就要增加移位寄存器的位数 n，直到通过移位产生的 L 个状态没有重复状态。

【解答】

由于要产生的序列的循环长度 L 为 8，至少应采用 3 级移位寄存器，如下图所示：



在设计时，首先将 100 预置入 Q_3 、 Q_2 、 Q_1 中，即 $Q_3Q_2Q_1=100$ 。当第一个时钟来临之后， Q_3 的 1 输出， Q_2 、 Q_1 中的 0 依次左移。此时若使 D_1 输入为 0，则 Q_1 新态为 0，即经过 1 个时钟作用后， Q_3 、 Q_2 、 Q_1 的状态变为 $Q_3Q_2Q_1=000$ 。当第二个时钟来临之后， Q_3 中的 0 输出， Q_2 、 Q_1 中的 0 依次左移，若使 D_1 输入为 1，则经第二个时钟作用后 $Q_3Q_2Q_1=001$ 。控制 D_1 端的输入，移位寄存器的状态将按以下循环变化：

1 0 0 0 1 1 1 0 1 0 0 0 1 1 1 0

为了能够产生 10001110.....序列，移位寄存器的状态和 D_1 输入端应依照下表改变：

状态转移/输出真值表

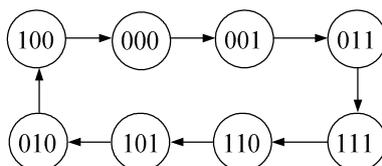
Q ₃	Q ₂	Q ₁	Q ₃ *	Q ₂ *	Q ₁ *	D ₁
1	0	0	0	0	0	0
0	0	0	0	0	1	1
0	0	1	0	1	1	1
0	1	1	1	1	1	1
1	1	1	1	1	0	0
1	1	0	1	0	1	1
1	0	1	0	1	0	0
0	1	0	1	0	0	0

由上表，可以得到 D₁ 的卡诺图：

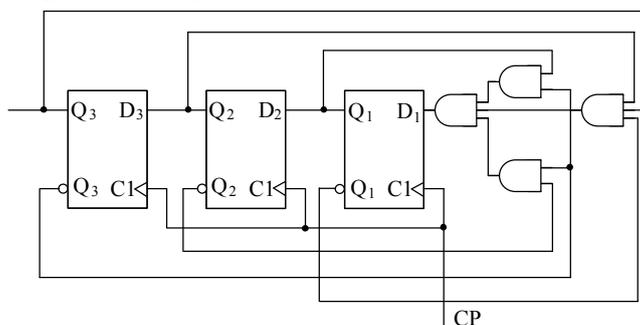
		Q ₁			
		00	01	11	10
Q ₃	0	1	1	1	0
	1	0	0	0	1

由 D₁ 卡诺图可求得 $D_1 = Q_3' Q_2' + Q_3' Q_1 + Q_3 Q_2 Q_1'$

由 D₁ 表达式及移位寄存器的特点，可得所设计电路的全状态转移/输出图如下图所示：



状态转移/输出图中只有 1 个圈，因此是自启动的。由 D₁ 表达式及移位寄存器的特点，可得其逻辑电路图如下图所示：



【例 8-15】用移位寄存器产生 100111100111.....序列。

【解题指导】用移位寄存器产生指定序列，首先要根据序列的循环长度 L，确定移位寄存器的位数 n，满足 $2^n \geq L$ 。在确定 n 的大小时，一定要检验当用位数为 n 的移位寄存器，设计出产生序列的 L 个状态，有没有重复状态。如果有重复状态，就要增加移位寄存器的位数 n，直到通过移位产生的 L 个状态没有重复状态。

【解答】

该序列循环长度为 6，因此至少使用三级移位寄存器，此时状态循环表如下所示：

采用三级移位寄存器得到的状态循环表

Q ₃	Q ₂	Q ₁	Q ₃ *	Q ₂ *	Q ₁ *
1	0	0	0	0	1
0	0	1	0	1	1
0	1	1	1	1	1
1	1	1	1	1	1
1	1	1	1	1	0
1	1	0	1	0	0

从上表可以看出，6个原态中有重复状态111，因此不能用三级移位寄存器产生所需要的序列信号。改用四级移位寄存器实现。四级触发器的状态循环为：

100111100111.....

可以看到，采用四级移位寄存器后，6个原态中没有重复状态，因此可以采用的移位寄存器位数为4。此时，可以列出状态转移/输出真值表如下表所示：

采用四级移位寄存器得到的状态转移/输出真值表

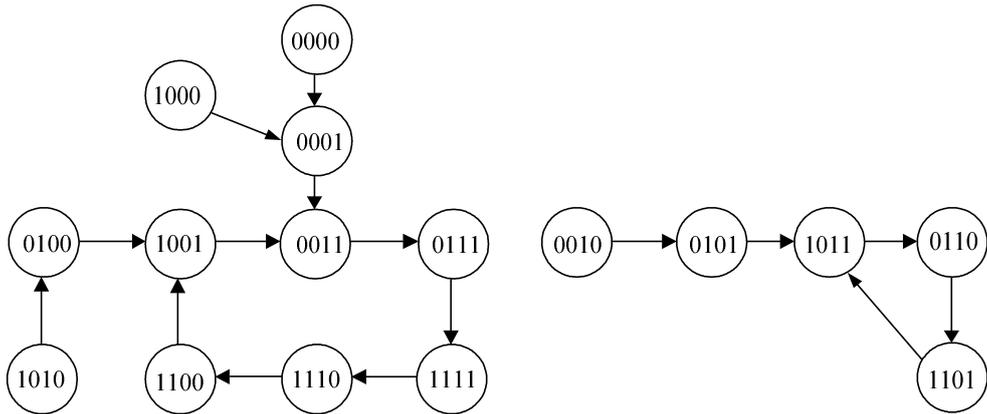
Q ₄	Q ₃	Q ₂	Q ₁	Q ₄ *	Q ₃ *	Q ₂ *	Q ₁ *	D ₁
1	0	0	1	0	0	1	1	1
0	0	1	1	0	1	1	1	1
0	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	0	0
1	1	1	0	1	1	0	0	0
1	1	0	0	1	0	0	1	1

从中可以得到D₁的卡诺图为：

		Q ₂			
		Q ₁	00	01	11
Q ₄ Q ₃	00	F	Φ	1	Φ
	01	F	Φ	1	Φ
	11	1	Φ	0	0
	10	F	1	Φ	Φ

从D₁卡诺图中，可求出D₁=Q₄' + Q₂'

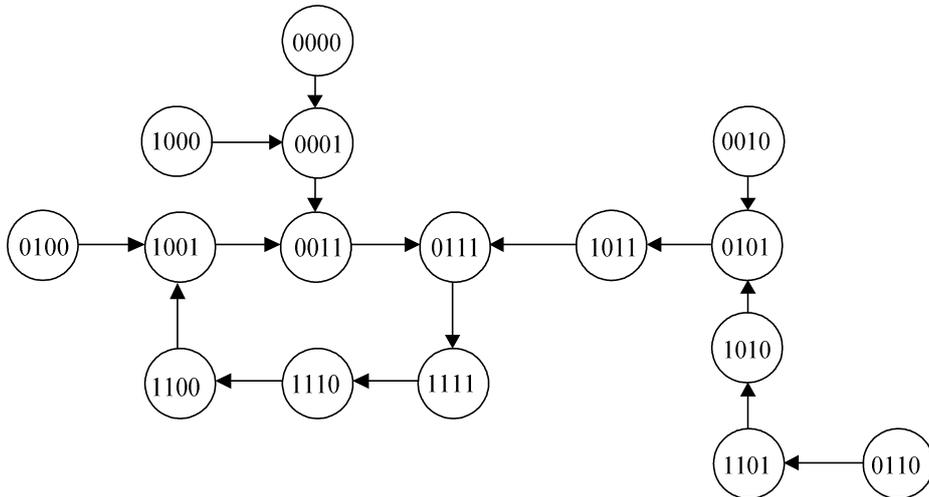
检查电路的自启动性，画全状态图下图所示：



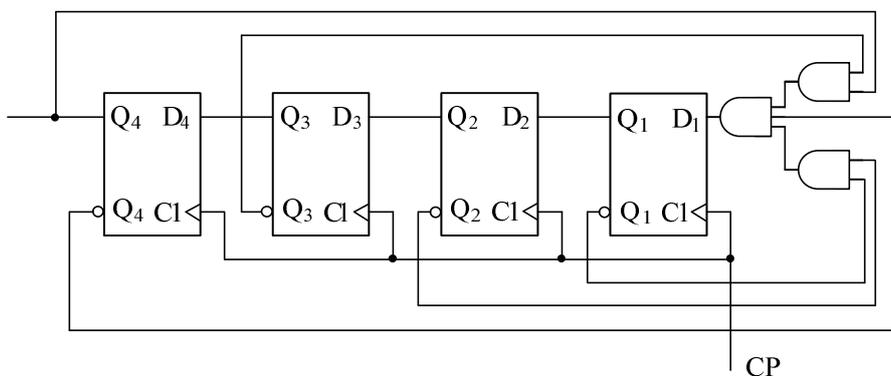
全状态转移/输出图中有两个圈，因此是非自启动的，必须将它改为自启动。考察无效循环中的 1101 状态，原电路经一个时钟作用后状态变为 1011，若人为改变 D_1 ，使移进 Q_1 的是 0 而不是 1，则下一状态为 1010，这样就进入了有效循环。为此 D_1 卡诺图中改 1101 对应的 Φ 为 0，则

$$D_1 = Q_4' + Q_3' + Q_2' Q_1'$$

改进后的全状态转移/输出图只有 1 个圈，是自启动的，如下图所示：

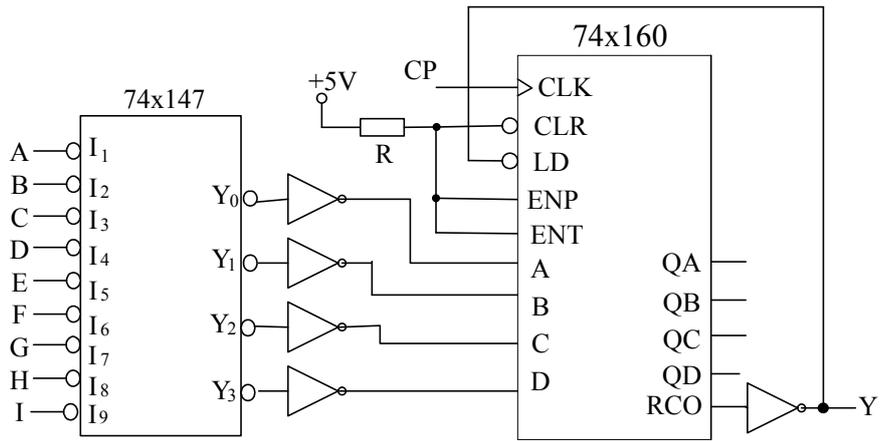


自启动的序列信号发生器的逻辑电路图为：



【例 8-16】图例 6.16 所示电路是用二-十进制优先编码器 74147 和同步十进制计数器 74160 组成的可控分频器，试说明当输入控制信号 A 、 B 、 C 、 D 、 E 、 F 、 G 、 H 、 I 分别为低电平时，由 Y 端输出的脉冲频率各为多少。已知 CP 端输入脉冲

的频率为 10kHz。优先编码器 74LS147 的功能表见表例 6.16。



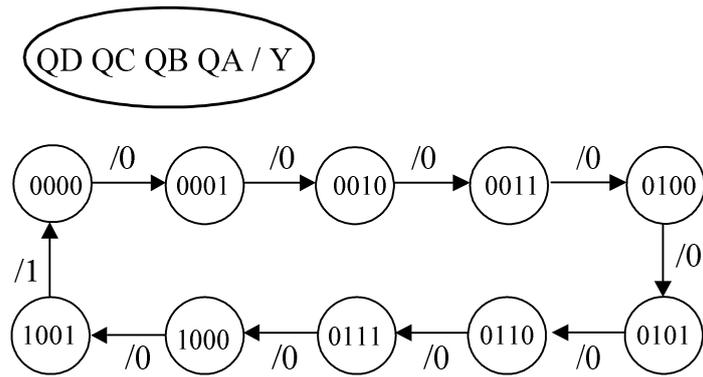
图例 6.16
表例 6.16

输 入									输 出			
\bar{I}_1	\bar{I}_2	\bar{I}_3	\bar{I}_4	\bar{I}_5	\bar{I}_6	\bar{I}_7	\bar{I}_8	\bar{I}_9	\bar{Y}_3	\bar{Y}_2	\bar{Y}_1	\bar{Y}_0
1	1	1	1	1	1	1	1	1	1	1	1	1
×	×	×	×	×	×	×	×	0	0	1	1	0
×	×	×	×	×	×	×	0	1	0	1	1	1
×	×	×	×	×	×	0	1	1	1	0	0	0
×	×	×	×	×	0	1	1	1	1	0	0	1
×	×	×	×	0	1	1	1	1	1	0	1	0
×	×	×	0	1	1	1	1	1	1	0	1	1
×	×	0	1	1	1	1	1	1	1	1	0	0
×	0	1	1	1	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1	1	1	0

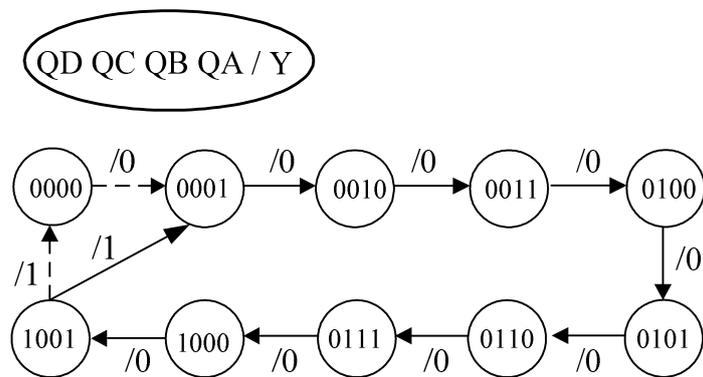
【解题指导】这是一道 MSI 电路的分析题目。74147 是二-十进制优先编码器，低电平输入有效，低电平输出有效。当输入控制信号 A、B、C、D、E、F、G、H、I 分别为低电平时，对于计数器 74160 来说，则当 RCO 有效时，数据载入端将载入不同的数据，从而得到不同计数进制的计数器。因此分别分析不同输入控制信号下，74160 的计数状态即可，结合 CP 端输入脉冲的频率为 10kHz，就可以得到输出信号 Y 的频率。

【解答】

74160 为同步置数的十进制计数器，其状态转换图为：



当 $A=0$ 时, $Y_3Y_2Y_1Y_0=0001$, 当 $RCO=1$, 再来 CP 时, $Q_D^*Q_C^*Q_B^*Q_A^*=0001$, 此时的状态转换图如下:



因此 Y 的频率 f_Y 是时钟 CP 频率 f_{CP} 的 $1/9$, 用此方法可以分析出其他输入控制信号 B 、 C 、 D 、 E 、 F 、 G 、 H 、 I 分别为低电平时输出信号 Y 的频率与时钟频率之比。再根据 CP 端输入脉冲的频率为 10kHz , 可以计算出相应条件下输出信号 Y 的频率, 如下表:

接低电平的输入端	A	B	C	D	E	F	G	H	I
分频比(f_Y / f_{CP})	$1/9$	$1/8$	$1/7$	$1/6$	$1/5$	$1/4$	$1/3$	$1/2$	0
$f_Y = \text{kHz}$	1.11	1.25	1.43	1.67	2	2.5	3.33	5	0

【例 8-17】设计一个灯光控制逻辑电路。要求红、绿、黄三种颜色的灯在时钟信号作用下按表例 6.17 规定的顺序转换状态。表中的 1 表示“亮”, 0 表示“灭”。要求电路能自启动, 并尽可能采用中规模集成电路芯片。

表例 6.17

CP 顺序	红 黄 绿	CP 顺序	红 黄 绿
0	000	4	111
1	100	5	001
2	010	6	010
3	001	7	100

【解题指导】这是一道时序逻辑设计题目。要求根据时钟计数的顺序, 控制红、

绿、黄三种颜色的灯，按指定要求转换。因此可以用 MSI 计数器设计计数部分，产生计数信号。同时，红、绿、黄三种颜色的灯，用三个变量来表示，分析出变量与计数状态变量之间的关系，这属于组合逻辑电路，可以选择适当的 MSI 组合电路器件来完成。

【解答】

因为输出为 8 个状态循环，所以用 74x163 的低三位作为八进制计数器。若以 R、Y、G 分别表示红、黄、绿三个输出，则可得计数器输出状态 Q_2 、 Q_1 、 Q_0 与 R、Y、G 关系的真值表：

$Q_2Q_1Q_0$	R Y G	$Q_2Q_1Q_0$	R Y G
000	000	100	111
001	100	101	001
010	010	110	010
011	001	111	100

选两片双 4 选 1 数据选择器 74LS153 作通用函数发生器使用，产生 R、Y、G。由真值表写出 R、Y、G 的逻辑式，并化成与数据选择器的输出逻辑式相对应的形式：

$$R = Q_2(\overline{Q_1}\overline{Q_0}) + \overline{Q_2}(\overline{Q_1}Q_0) + 0 \cdot (Q_1\overline{Q_0}) + Q_2(Q_1Q_0)$$

$$Y = Q_2(\overline{Q_1}\overline{Q_0}) + 0 \cdot (\overline{Q_1}Q_0) + 1 \cdot (Q_1\overline{Q_0}) + 0 \cdot (Q_1Q_0)$$

$$G = Q_2(\overline{Q_1}\overline{Q_0}) + Q_2(\overline{Q_1}Q_0) + 0 \cdot (Q_1\overline{Q_0}) + \overline{Q_2}(Q_1Q_0)$$

电路图如下：

