

重点难点指导

第二章 数制与编码

1. 掌握按位计数制的概念，以及十进制、二进制、八进制以及十六进制的定义；

按位计数制应满足如下公式： $D = \sum_{i=-n}^{p-1} d_i \times r^i$ ，其中 r 为基数， d_i 为第 i 位的数值， D 为数值大小。

2. 掌握十进制、二进制、八进制以及十六进制之间的相互转换的方法；

可以利用公式 $D_{10} = \sum_{i=-n}^{p-1} b_i \times N^i$ ，将其他进制的数转换成十进制数。其中 N 为

待转换进制的基数； N^i 为第 i 位的权重； i 的取值为 $[-n, p-1]$ ； b_i 为第 i 位的值。

将十进制数转换成其他进制的数，要分成整数部分和小数部分两个方面进行讨论。

整数部分的转换方法是：若将十进制数转换成 N 进制，则需要将该十进制数的整数部分除以 N ，取其余数，作为转换后 N 进制数整数部分的最低位；然后将上次除法的商再除以 N ，再取其余数作为 N 进制整数部分的次低位；依此类推，一直到除法的商为 0 为止，整数部分讨论完毕；

小数部分的转换方法是：将该十进制的小数部分乘以 N ，取其积的整数部分，作为转换后 N 进制数小数部分的最高位；然后将乘法后的积的小数部分再乘以 N ，再取其整数部分作为 N 进制小数部分的次高位；依此类推，一直到乘法的积的小数部分为 0，或者达到要讨论的精度为止，小数部分讨论完毕；

将二进制数转换成八进制和十六进制的方法如下：

整数部分的讨论，以二进制数的小数点为分界点，依次向左每三位（四位）二进制数等效为一位八进制（十六进制）数，位数不足在高位加 0；

小数部分的讨论，以二进制数的小数点为分界点，依次向右每三位（四位）二进制数等效于一位八进制（十六进制）数，位数不足在低位加 0；

将一个八进制数转换成一个十六进制数，需要经过两个步骤，第一，先将八进制数转化成二进制数；第二，再将转换后的二进制数转化成十六进制数。

3. 掌握有符号的二进制数的构建方法：符号-数值码（原码）、二进制补码、二进制反码，以及原、补、反三种编码形势的相互转换。

对于正数而言，原、补、反三种编码形式相同，都是符号位（MSB）“0”加上数值位。其中数值位大小等于该数的绝对值大小。

对于负数而言，原、补、反三种编码构建方法不同。对于原码是符号位“1”加上数值位，数值位的大小等于该数的绝对值大小；反码为符号位“1”加上数值位，数值位为原码数值位的逐位取反；补码为符号位“1”加上数值为，数值位为反码数值位的末位+1。

4. 掌握带符号的二进制数的加减方法；

带符号的二进制运算，为二进制补码运算，即满足如下的关系： $[\text{被加数}]_{\text{补}} + [\text{加数}]_{\text{补}} = [\text{和}]_{\text{补}}$ ，被加数、加数以及和都为补码。

溢出判定有两个原则：第一，如果两个符号相异的两个数相加，则不会溢出；第二，如果两个同符号的数相加，其最高有效位的进位输出和进位输入不等，则溢出；

5. 掌握 BCD 码、格雷码的构建方式以及与二进制数之间的相互转换；

8421BCD 码、2421BCD 码、余 3 码都是 BCD 码，即十进制编码。每个编码表示一位（0~9）的十进制。故如果要转换成上面的形式，必须先将数字转换成十进制。其中 8421 和 2421 为该种编码形式的各位上的权重，其具体编码形式参见教材。余 3 码是在 8421BCD 码的基础之上加上 0011 而得。

格雷码的变化规则为如下：

$$(b_i \ b_i \oplus b_{i-1} \ b_{i-1} \oplus b_{i-2} \dots b_{m+1} \oplus b_m \dots b_4 \oplus b_3 \ b_3 \oplus b_2 \ b_2 \oplus b_1)_{\text{gray}}, \text{ 其}$$

中 b_m 为第 m 位的二进制数。

第三章 逻辑门电路

一. 知识要点

1. 正逻辑(Positive Logic)、负逻辑(Negative Logic)的概念以及两者之间的关系。

以高电平表示 1，低电平表示 0，实现的逻辑关系称为正逻辑(Positive Logic)，相反，以高电平表示 0，低电平表示 1，实现的逻辑关系称为负逻辑(Negative Logic)，两者之间的逻辑关系为对偶关系。

2. PMOS 和 NMOS 场效应管的开关特性，CMOS 电路概念。

MOSFET 管实际上由 4 部分组成：Gate, Source, Drain 和 Backgate, Source 和 Drain 之间由 Backgate 连接，当 Gate 对 Backgate 的电压超过某个值时，Source 和 Drain 之间的电介质就会形成一个通道，使得两者之间产生电流，从而导通管子，这个电压值称为阈值电压。对 PMOS 管而言，阈值电压是负值，而对 NMOS 管阈值电压是正值。

PMOS 管与 NMOS 管处于导通状态时其要求的栅极输入电压互为相反，分别为低电平和高电平。

3. CMOS 门电路：非门、与非门、或非门、与或非门的电路构成规律、逻辑符号表示、逻辑表达式。

(1) 每个 CMOS 门电路都由 NMOS 电路和 PMOS 电路两部分组成，并且每个输入都同时加到一个 NMOS 管和一个 PMOS 管的栅极(Gate)上。

(2) 对正逻辑约定而言, NMOS 管的串联(Series Connection)可实现与操作(Implement AND Operation), 并联(Parallel Connection)可实现或操作(Implement OR Operation)。

(3) PMOS 电路与 NMOS 电路呈对偶关系, 即 NMOS 管串联时, 其相应的 PMOS 管一定是并联; 而 NMOS 管并联时, 其相应的 PMOS 管一定需要串联(Series Connection)。

(4) 要实现逻辑函数(Logic Function)的与操作, 应将相应的 NMOS 管组合串联; 而要实现逻辑函数的或操作, 则将相应的 NMOS 管组合并联。

4. CMOS 逻辑电路的稳态电气特性: CMOS 逻辑电平的范围、噪声容限的计算、扇出的计算; 带电阻性负载的电路特性、非理想输入时的电路特性、负载效应、不用的输入端及等效的输入、输出电路模型。

噪声容限是指芯片在最坏输出电压情况下, 多大的噪声电平会使得输出电压被破坏成不可识别的输入值。对于输出是高电平的情况, 其最坏的输出电压是 V_{OHMIN} , 如果要使该电压能在输入端被正确识别为低电压, 即被噪声污染后的电压值应该不小于 V_{IHMIN} , 则噪声容限为 $V_{OHMIN} - V_{IHMIN}$ 。对于输出是低电平的情况, 噪声容限为 $V_{ILMAX} - V_{OLMAX}$ 。

5. CMOS 逻辑电路的动态电气特性: 转换时间、传播延迟、电流尖峰。
输出不变时的 CMOS 电路功耗称为静态功耗。CMOS 电路在状态转换时消耗的电能为动态功耗, 其来源是输出端上的电容性负载 C_L , 输出从低到高转换时, 电流流过 p 沟道晶体管给负载充电, 类似的, 输出从高到低转换时, 电流流过 n 沟道晶体管给负载放电, 这两种情况下晶体管导通的电阻都消耗功率。充电开始时电压变化为 V_{DD} , 结束时电压变化很小, 故平均电压变化为 $V_{DD}/2$, 则每次转换消耗的电能为 $C_L V_{DD}^2 / 2$, 若每秒钟变化 $2f$ 次, 则由电容性负载引起的动态功耗为 $C_L V_{DD}^2 f$ 。

6. TTL 逻辑电路逻辑电平的范围、噪声容限的计算、扇出的计算。

反相器的驱动能力在不同的输出电平值时不一样, 应该分别计算高低电平时各自的驱动门数, 然后总驱动门数为二者的最小值。驱动门数的计算为最大的输出电流 ÷ 最大的输入电流。

与反相门不同, 两输入的与非门在计算输入电流时要考虑两个输入管脚的电流消耗。低电平输出时, 由于与非门输入端只要其中一个管脚为低电平就能保证输出反相, 所以与非门实际的输入电流就只是一个管脚的电流, 而高电平输出时, 与非门的两个输入管脚必须同时为高才能保证输出反相, 所以这时要考虑两个管脚的电流之和。

第四章 组合逻辑电路原理

1. 组合逻辑电路结构的特点——无反馈回路，无记忆存储元件。

2. 组合逻辑电路的基本分析方法：

(1) 正确写出真值表；

(2) 根据逻辑电路图写出正确的逻辑表达式；

看逻辑电路写表达式，应当看清楚信号的流向，每个信号经过了哪些逻辑器件，初学者最好将每个逻辑门的输出都写下来，这样一级一级地往后推，就可以写出正确的表达式。逻辑功能的判断则需要对典型组合逻辑功能比较熟悉，通过逻辑表达式表达出来的典型形式而做出的。

(3) 能利用开关代数公式或卡诺图进行化简；

(4) 能绘出正确的时序图；

(5) 分析电路功能。

逻辑功能的判定需要综合表达式、真值表等表达方式判定，需要较为仔细的观察力，从输入、输出变量的值的特点进行判别。

3. 组合逻辑电路的设计。

(1) 根据要实现的逻辑抽象，分析设计题目要求，确定输入变量和输出逻辑函数的数目及其关系。

对于组合逻辑电路设计，应当根据题意，确定输入/输出变量的个数，以及根据条件而需要得到的有效输出所对应的输入取值组合。

(2) 根据设计要求和定义的逻辑状态，列出真值表。

(3) 由真值表写出逻辑函数表达式，并用公式法或表格法化简，或直接用卡诺图化简后写出最简逻辑函数表达式。

(4) 根据要求使用的门电路类型，将逻辑函数转换为与之相适应的形式。

(5) 根据逻辑函数表达式画出逻辑电路图。

4. 静态冒险的查找与消除

用卡诺图进行判断比较直观。对于“1”单元画的圈之间若存在相切的地方，则可能产生静态 1 冒险，对于“0”单元画的圈之间若存在相切的地方，则可能产生静态 0 冒险。消除的方法是在相切部分添加冗余项或重新画圈。当然，就实际应用来说，消除冒险的方法还有在输出端添加滤波电容等。

第五章 组合逻辑电路实践

1、常用的组合逻辑器件

利用基本的逻辑门完成规定的组合逻辑电路的设计任务：如译码器、编码器、多路选择器、多路分配器、异或门、比较器、全加器；掌握常用组合逻辑器件的基本功能。

2、利用 MSI 器件进行组合逻辑电路的设计

基本的逻辑门和已有的中规模集成电路（MSI）逻辑器件如译码器、编码器、多路选择器、多路分配器、异或门、比较器、全加器、三态器件等作为设计的基本元素，完成更为复杂的组合逻辑电路设计的方法。

第六章 触发器

1、存储电路是一种具有记忆功能而且能够存储数字信号的基本单元电路。存储电路的功能决定了其必须具备以下两个基本特点：

（1）具有两个相对稳定的输出状态，称为双稳态，用来表示逻辑状态 0 和逻辑状态 1，称为 0 态和 1 态。

（2）在没有外加触发信号之前，存储电路一直保持两个稳定状态中的一个（0 态或 1 态）。在外加触发信号后，存储电路的输出状态才可能发生改变。随机噪声会驱动工作于亚稳态点的电路转移到一个稳态的工作点上去。从一个“稳态”转换到另一个“稳态”，需加一定宽度的脉冲（足够的驱动）。

2、最简单的时序电路是双稳态电路时序逻辑构件：锁存器和触发器。

锁存器由一级反馈环构成，其输出会随着输入信号的变化而同时发生变化，即新的输入信号在读入的同时旧的存储信号即被取代。触发器一般由两级反馈环构成，其输出仅随控制输入或异步置位复位输入信号的变化，而发生变化，触发器以在读入新的输入信号的同时读出旧的存储信号的状态。

锁存器的特点：根据输入，直接改变其输出（无使能端），有使能端时，在使能信号的有效电平之内都可根据输入直接改变其输出状态。例如 SR 锁存器输入端需遵守约束条件。当 $S=R=1$ ，然后同时取消时或 S 和 R 端输入信号脉冲宽度过小，锁存器进入亚稳态。

触发器的特点是边沿触发。

3、触发器的分类：按电路结构分，可以分为基本触发器、同步触发器、主从触发器、边沿触发器。按逻辑功能分，可以分为 RS、D、JK、T 触发器。同一逻辑功能的触发器可用不同电路结构实现，如主从结构的 D 触发器、维持阻塞结构的 D 触发器。用同一电路结构可做成不同逻辑功能的触发器，如维持阻塞结构的：D 触发器、J-K 触发器。不要把这两个概念混同起来。

4、不同逻辑功能触发器的描述方法有功能表、特性方程和状态转换图。按逻辑功能的不同特点分为 RS、D、JK、T 触发器。T 触发器又分成具有使能端的 T 触发器和 T 触发器。

5、触发器的动态特性是指触发器可靠翻转时对输入信号的建立、保持时间、时钟信号的最高频率，以及输入信号与时钟信号相互之间的时序的配合等的要求。

建立时间：输入信号应先于时钟信号到达的时间。

保持时间：时钟信号到达后，输入信号需要保持的时间。

最高时钟频率：为保证触发器可靠翻转，时钟脉冲必须满足的参数。

传输延迟时间：从时钟脉冲触发边沿算起，到触发器建立起新状态所需要的时间。

6、不同类型触发器间的相互转换，如利用 D 触发器实现 S-R 触发器、J-K 触发器、T 触发器。如利用 J-K 触发器实现 S-R 触发器、D 触发器、T 触发器。触发器转换有两种方法：公式法和真值表法。

7、触发器的应用：简单的双稳态器件和锁存器常用于开关消抖电路。利用双稳态电路，不用上拉电阻可以实现总线保持电路。

第七章 时序逻辑电路原理

数字逻辑电路可分为两大类：组合逻辑电路和时序逻辑电路。

1、组合逻辑电路和时序逻辑电路的区别；

组合逻辑电路是指电路的输出只与当前的输入有关，而与系统以前的输入无关。

时序逻辑电路是指电路的输出不仅与当前输入有关，还与以前的输入有关，在电路结构上包含记录状态的存储单元。

时序逻辑电路按其工作方式，又可分为同步时序逻辑电路和异步时序逻辑电路。按输出结构的不同，可分为米里（Mealy）型和摩尔（Moore）型。

2、同步时序电路和异步时序电路的区别；

电路中的触发器不是由同一个时钟信号所控制，这种时序电路称为时钟异步状态机，又称为异步时序电路。

3、米里型时序电路和摩尔型时序电路的区别。

Moore 型时序电路的输出只是当前状态的函数，而 Mealy 型时序电路其输出不仅是当前状态的函数，还与当前输入有关。

4、基于触发器的时序逻辑电路的基本分析方法和步骤；

基于触发器的时钟同步时序电路的分析步骤为：

1) 确定系统中的变量：输入变量、状态变量和输出变量。如果变量在逻辑图里不明确，就给他们分配名字。

2) 确定触发器类型。写出时序电路中所用触发器的特征方程。（时序机可能使用不止一种类型的触发器，因此一个电路可能需要几个不同的特征方程）。

3) 由逻辑电路图写出输出方程和激励方程（均为组合方程）；

4) 利用触发器特征方程和电路激励方程为每个状态变量写出次态函数表达式。

5) 写出输出变量函数，确定该电路是 Mealy 机还是 Moore 机（这在构造状

态表和状态图时有用)。

6) 根据次态方程表达式和输出方程表达式构造转移/输出表(以当前状态和输入为变量), 由给定的状态变量数标识所有可能出现的状态编码。

7) 为每个状态编码分配名字, 并构造状态表或状态图。

8) 如果可能的话, 构造时序图。

5、基于触发器的时序逻辑电路的设计方法。

时钟同步时序电路的设计可分为任务分析和逻辑综合两大步骤。任务分析的目的在于建立状态转换图/表; 逻辑综合的工作是建立简化的输出方程和激励方程, 并画出逻辑电路图。

具体而言: 任务分析的步骤为:

- 1) 由文字描述确定输入/输出端的数量, 命名并赋值;
- 2) 确定状态数量并分别命名;
- 3) 逐步构造状态转换表(或状态转换图);
- 4) 对状态进行分析, 合并等价状态, 使状态数目最小化;
- 5) 得出简化的状态转换表(或状态转换图);

逻辑综合的步骤为:

- 1) 进行状态赋值;
- 2) 建立转移/输出表;
- 3) 由转移/输出表化简得出输出方程;
- 4) 选择触发器种类, 由激励表化简得出激励方程;
- 5) 画出逻辑电路图;

一般说来, 同步时序电路的设计应按上面步骤进行。但是, 对于某些特殊的同步时序电路, 由于状态数量和状态编码都已给定, 上述设计步骤中的状态化简和状态编码可以省略。

第八章 时序逻辑电路实践

1. 二进制、十进制计数器的工作原理和分析方法。

在数字系统中使用最多的时序电路要算是计数器了。通常, 在状态图中包含有一个循环的任何时钟状态机都可以称为计数器。计数器的模是指在循环中的状态个数。一个有 m 个状态的计数器称为模 m 计数器, 有时也称为 m 分频计数器。分析计数器电路的分频比, 其实就是分析计数器电路的模。

2. 常用中规模集成计数器(典型器件 74163)的结构特点及逻辑功能, 应用

集成计数器构成任意进制计数器。

74x163 是同步清零、同步置数的 4 位二进制同步加法计数器，是最常用的一种 MSI 计数器。它具有低电平有效的载入端 LD 和清零输入端 CLR，高电平有效的使能输入信号 ENT 和 ENP。RCO 为进位输出，当 QD、QC、QB、QA 的值均为 1 且使能端有效时，RCO=1。74x163 功能表如下：

74x163 功能表

CLK	CLR_L	LD_L	ENP	ENT	工作状态
	0	×	×	×	同步清零
	1	0	×	×	同步置数
×	1	1	0	×	保持
×	1	1	×	0	保持，RCO=0
	1	1	1	1	计数

要分析 MSI 计数器电路的计数模式，首先要弄清楚 MSI 计数器的工作状态，即分析置数端、清零端、使能端等功能输入端的工作状态，然后根据时钟节奏，画出 MSI 计数器的状态图，从而得到 MSI 计数器电路的计数功能。

3. 寄存器、移位寄存器的工作原理、逻辑功能。
寄存器用于寄存一组二进制代码，它广泛地用于各类数字系统和数字计算机中。因为一个锁存器或触发器能存储 1 位二进制代码，所以用 N 个锁存器或触发器组成的寄存器能储存一组二进制代码。对寄存器中的锁存器或触发器只要求可以置 1，置 0 即可，因此无论是用同步 RS 结构的锁存器还是用主从结构或边沿触发结构的触发器，都可以组成寄存器。

移位寄存器除了具有存储代码的功能之外，还具有移位功能。所谓移位功能，是指寄存器里存储的代码能在移位脉冲的作用下依次左移或右移。它可以由若干个锁存器或触发器链形连接而成。除第一级外，其他各级的控制输入皆为前级的输出，所有触发器共用一个时钟源。因此移位寄存器不但可以用来寄存代码，还可以用来实现数据的串行——并行转换、数值的运算以及数据处理等。

因此，要实现移位，则必须为时序逻辑电路，且每个触发器现态和次态之间要满足： $Q^*=Q$

4. 移位寄存器型计数器：环形计数器、扭环型计数器、线性反馈移位寄存器计数器的结构特点及逻辑功能。
计数器也可以由移位寄存器构成。移位型计数器即是由移位寄存器构成的计数器。与二进制计数器不同，移位型计数器的计数顺序既不是升序，也不是降序，但是这种计数器在许多“控制”领域的应用中却十分有用。这时要求寄存器有 M 个状态，分别与 M 个计数脉冲相对应，并且不断在按 M 个状态周期地循环。为此，在移位寄存器电路中需要加入反馈。可以采用两种办法加入反馈：一种称为环形计数器，另一种称为扭环计数器。

环形计数器的反馈电路简单，只需要将末级输出直接反馈到第一级输入即可。环形计数器的缺点是触发器利用不充分，n 个触发器只有 n 个有效状态。

扭环计数器又称约翰逊计数器，它的反馈电路是将移位寄存器的末级 Q_{n-1} 反馈到串行输入端。其特点是电路简单，触发器利用率高，n 个触发器将有 2n

个有效状态。

5. 典型时序逻辑电路：序列信号发生器的分析和设计方法。

序列信号发生器就是产生这种任意给定的周期性序列的电路。序列信号具有周期，其周期是指序列未重复前 0 和 1 的“总位数”，又称为循环长度，一般用 L 表示。例如序列：10010011011001001101.....的循环长度为 $L=10$ 。

利用计数器产生序列信号时，通常配合数据选择器来实现，这样做会使得设计简单、直观。通常首先找出序列信号的循环长度 L ，设计出模为 L 的计数器。

当用移位寄存器来产生序列信号时，若序列的循环长度为 L ，移位寄存器的位数为 n ，则应满足 $2^n \geq L$ 。同时特别要注意的是，当用位数为 n 的移位寄存器，设计出产生序列的 L 个状态时，这 L 个状态一定不能有重复状态。否则，就要增加移位寄存器的位数 n ，直到通过移位产生的 L 个状态没有重复状态。